

مطالعه تاثیر آرایش هالوژن بر عملکرد ترانزیستور MOS با ابعاد نانومتری

افتحی پور، مرتضی؛ قنبری، شیرین؛ ارضی، عزت اله

^۱گروه مهندسی برق و کامپیوتر دانشگاه تهران؛ ^۲گروه فیزیک دانشگاه تهران

چکیده

تغییر مقیاس ترانزیستورهای MOSFET به منظور بهبود عملکرد ترانزیستور MOS و کاهش هزینه ساخت آن انجام می شود. با کاهش ابعاد، آثار کانال کوتاه مانند پیچش ولتاژ آستانه و اثر DIBL که قبلاً در ترانزیستورهای کانال طویل به چشم نمی آمدند اهمیت می یابند، که موجب اختلال در عملکرد ترانزیستور می شوند. یکی از روشها برای از بین بردن آثار کانال کوتاه ایجاد آرایش هاله کون و تبدیل ناخالصی بستر است. ترانزیستوری با طول کانال موثر ۹۰ نانومتر شبیه سازی شده و با ایجاد آرایش هاله گون و تغییر ناخالصی بستر آثار کانال کوتاه را بهبود می دهیم.

In Study of Halo Implant effect on Nano scale MOS Transistors Performance

Fathipour Morteza¹; Ghanbari, Shirin; Arzi, Ezatollah²

¹ECE Department, Tehran University, Tehran; ²Physics Department, Tehran University, Tehran University,

Abstract

As a result of scaling the MOSFETs amazing improvements in price/performance ratio is achieved. There are many challenges to continued device scaling, such as short channel effects, DIBL. A method to improve short channel effects is to use Halo implants. We have simulated a transistor in 90nm technology to study the effect of Halo implant on the performance of the MOSFET.

ترانزیستورهای کانال کوتاه (طول گیت در حدود ۹۰ نانومتر) از آرایش هاله گون استفاده می کنیم. این نواحی همچون هاله ای دور سورس و درین را میگیرند و به نواحی هاله گون مشهورند. در این روش مقداری ناخالصی از نوع موافق با بستر با چگالی بالا در ناحیه اطراف سورس و درین ایجاد می شود که ارتفاع سد پتانسیل سورس و درین را افزایش می دهد. بدین ترتیب اثر DIBL کاهش و پیچش ولتاژ آستانه بهبود می یابد.

اثر آرایش هاله گون بر کاهش DIBL و Ioff

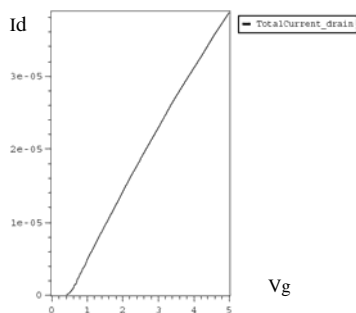
کاهش سد پتانسیل القا شده از درین موجب افزایش جریان خاموشی ترانزیستور (Ioff) می شود [۴]. زیرا این پدیده باعث می شود که بخشی از کار گیت را درین بر عهده بگیرد. تحت این شرایط حتی هنگامی که ولتاژ گیت کوچک و ترانزیستور خاموش می باشد ممکن است جریانی بین سورس و درین وجود داشته باشد.

مقدمه

صنعت ساخت قطعات الکترونیک پیشرفتهای قابل توجهی از نظر سرعت، عملکرد و کاهش هزینه افزاره های نیمه رسانا داشته است این نتایج ناشی از کوچک نمودن ابعاد ترانزیستور بوده است [۱]. در عین حال مشکلات زیادی در اثر کاهش مستمر ابعاد ترانزیستور بوجود می آید. برخی از این مشکلات عبارتند از: اثر کانال کوتاه، پدیده کاهش ارتفاع سد پتانسیل القا شده از درین (DIBL)، پیچش ولتاژ آستانه. این آثار موجب اختلال در عملکرد ترانزیستور می شوند. بنابراین درک محدودیتهای ناشی از تغییر مقیاس و روشهای کاهش اثرات کانال کوتاه حائز اهمیت بسیاری است.

فیزیک آرایش هاله گون

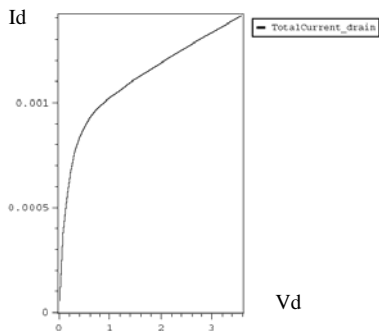
آرایش هاله گون یکی از روشهای مهندسی کانال است که به منظور بهبود آثار کانال کوتاه بکار گرفته می شود [۲، ۳]. در طراحی



برای ترانزیستوری با طول کانال ۰/۱ میکرون V_g بر حسب I_d نمودار: شکل ۱ ب

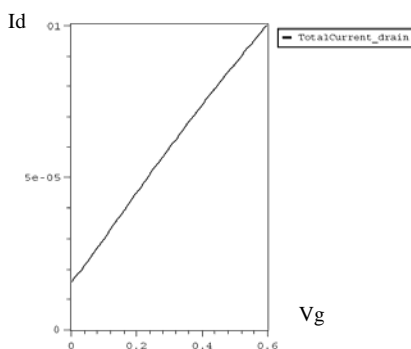
LDD: elem=P, energy=40kev, dose=2e14, tilt=0
S/D: elem=As, energy=100kev, dose=6e15, tilt=0

از طرفی I_{off} برای ترانزیستور با طول موثر کانال ۹۰ نانومتر بدلیل حضور اثر DIBL حائز اهمیت است (شکل ۲ ب).



شکل ۲ الف: نمودار I_d بر حسب V_d برای ترانزیستوری با طول کانال ۹۰ نانومتر - اثر DIBL

LDD: elem=P, energy=12kev, dose=2e13
S/D: elem=As, energy=100kev, dose=6e15, tilt=0



شکل ۲ ب: نمودار I_d بر حسب V_g برای ترانزیستوری با طول کانال ۹۰ نانومتر

LDD: elem=P, energy=12kev, dose=2e13
S/D: elem=As, energy=100kev, dose=6e15, tilt=0

در شکل ۳ با کاهش عمق سورس و درین در ترانزیستور با طول کانال ۹۰ نانومتر از طریق کاهش انرژی کاشت و همچنین کاهش

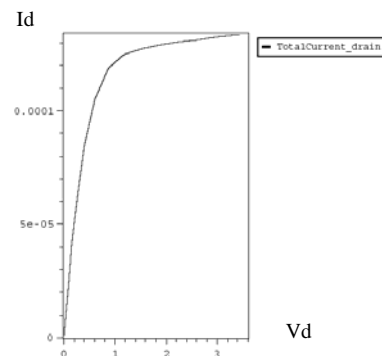
با ایجاد آرایش هاله گون اثر DIBL کاهش می یابد، آرایش هاله گون دارای چگالی ناخالصی بالایی است و باعث می گردد تاثیر میدان درین بر بستر ناچیز شود. بنابراین خطوط میدان درین بر ناخالصی های آرایش هاله گون ختم می گردند و به درون کانال نفوذ نمی کنند.

شبیه سازی و نتایج حاصل از آن

اینک به شبیه سازی دو ترانزیستور یکی با طول کانال موثر ۱۰۰ نانومتر و دیگری با طول موثر کانال ۹۰ نانومتر می پردازیم. ومشخصات I_d-V_g و I_d-V_d ایندو را از نظر اثر DIBL باهم مقایسه می کنیم. همچنین تاثیر تغییر میزان ناخالصی LDD، کاهش عمق سورس و درین و نیز ایجاد آرایش هاله گون را در ترانزیستور بررسی می کنیم.

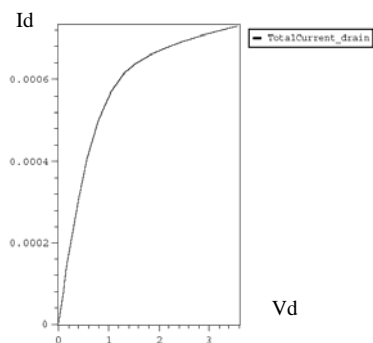
مقایسه منحنیهای I_d-V_g و I_d-V_d

جریان I_d بر حسب V_d برای ترانزیستور با طول کانال ۱۰۰ نانومتر در شکل ۱ الف نشان داده شده است. در این حالت اثر DIBL ناچیز است. در شکل ۲ الف منحنی جریان درین بر حسب ولتاژ درین برای ترانزیستور با طول کانال ۹۰ نانومتر رسم شده است. با افزایش ولتاژ درین جریان درین بدلیل اثر DIBL افزایش میابد. همچنین در شکل ۱ ب منحنی جریان درین در V_g صفر برای ترانزیستور nmos با طول موثر کانال ۰/۱ میکرومتر ناچیز است و بنابر این در ولتاژ گیت صفر جریان صفر است. پس I_{off} ناچیز است.



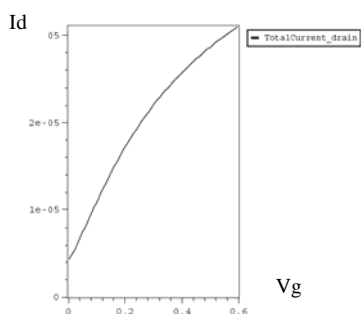
شکل ۱ الف: نمودار I_d بر حسب V_d برای ترانزیستوری با طول کانال ۱۰۰ نانومتر

LDD: elem=P, energy=40kev, dose=2e14, tilt=0
S/D: elem=As, energy=100kev, dose=6e15, tilt=0



برای ترانزیستوری با طول کانال ۹۰ نانومتر V_d برحسب I_d نمودار: شکل ۳ الف و دارای آرایش هاله گون

Halo: elem=b,energy=80kev,dose=6.65e12,tilt=30
LDD: elem=p , energy=12kev ,dose=2e13
S/D: elem=as,energy=15kev,dose=2e19,tilt=0



شکل ۳ ب: نمودار I_d برحسب V_g برای ترانزیستوری با طول کانال ۹۰ نانومتر و دارای آرایش هاله گون

Halo : elem=b,energy=80kev,dose=6.65e12,tilt=30
LDD: elem=p , energy=12kev ,dose=2e13
S/D: elem=as,energy=15kev,dose=2e19,tilt=0

نتیجه گیری

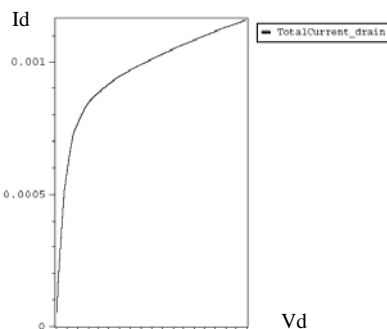
یکی از روشهای کاهش اثرات کانال کوتاه ایجاد آرایش هاله گون در کانال در طرفین سورس و درین است که موجب بهبود پیش ولتاژ آستانه میشود. این ترنند همچنین اثر DIBL را در ترانزیستورهای تغییر مقیاس یافته کاهش می دهد.

مراجع

- [1] R. S. Muller and T. I. Kamins. Device Electronics for Integrated Circuits. John Wiley and Sons, Inc., New York, 1986.
- [2] S. Thompson, p. packan, M.Bohr, MOS scaling. Transistor challenges for the 21st Century, Intel Technology Journal , 2004
- [3] D. Song, J. Lim, K. Lee, Device Reliability and Optimization on Halo MOSFETs , 1995 IEEE .

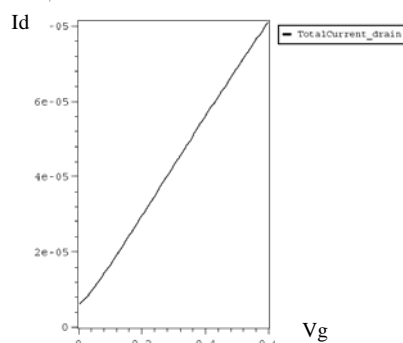
[۴] یانیس پی. تسویدیس، ترجمه دکتر مرتضی فتحی پور، عملکرد و مدلسازی ترانزیستور MOS ، انتشارات دانشگاه تهران، ۱۳۷۸

ناخالصی LDD می بینیم که اثر DIBL بهبود پیدا میکند. شیب منحنی I_d-V_d در ناحیه اشباع باتوجه به شکل ۳ الف کمتر میشود. همچنین باتوجه به شکل ۳ ب جریان خاموشی I_{off} نیز کمتر میشود.



شکل ۳ الف: نمودار I_d برحسب V_d برای ترانزیستوری با طول کانال ۹۰ نانومتر

energy=6kev ,dose=2e16 elem=P LDD:
S/D: elem=As,energy=15kev,dose=2e19,tilt=0



شکل ۳ ب: نمودار I_d برحسب V_g برای ترانزیستوری با طول کانال ۹۰ نانومتر

LDD: elem=P energy=6kev ,dose=2e16
S/D: elem=As,energy=15kev,dose=2e19,tilt=0

با ایجاد آرایش هاله گونه در ترانزیستور با طول کانال ۹۰ نانومتر اثر DIBL بهبود می یابد (شکل ۴). در شکل ۴ الف شیب جریان درین در ناحیه اشباع کاهش یافته و همچنین جریان I_{off} طبق شکل ۴ ب کاهش می یابد. زیرا جریان درین در ولتاژ گیت صفر که همانا جریان خاموشی است در شکل ۴ ب نسبت به نمودارهای ۲ ب و ۳ ب کاهش می یابد.