

SID



سرویس های
ویژه



سرویس ترجمه
تخصصی



کارگاه های
آموزشی



بلاگ
مرکز اطلاعات علمی



سامانه ویراستاری
STES



فیلم های
آموزشی

کارگاه های آموزشی مرکز اطلاعات علمی جهاد دانشگاهی

کارگاه آنلاین
بررسی مقابله ای متون (مقدماتی)

کارگاه آنلاین
پروپوزال نویسی و پایان نامه نویسی

کارگاه آنلاین آشنایی با پایگاه های اطلاعات علمی بین المللی و ترند های جستجو

استفاده از گیت کمکی برای بهبود مشخصات الکتریکی ترانزیستور اثر میدان بدون پیوند سیلیکون بر روی عایق

مهدی وادی‌زاده، سید صالح قریشی و محمد فلاح‌نژاد

نانومتري به فرايند ساخت دماي پايين نياز دارد و اين سبب افزايش هزينه‌هاي ساخت ترانزیستور می‌شود [۳] تا [۶].

برای حل این مشکل، اولین بار در سال ۲۰۱۰ ترانزیستورهای اثر میدانی بدون پیوند (JL-FET) پیشنهاد شد [۶]. در این ساختار آلایش سورس، درین و کانال از یک سطح و یک نوع در نظر گرفته می‌شود و بنابراین فرایند ساخت افزاره JL پیچیدگی کمتری نسبت به ترانزیستورهای مد وارونگی دارد [۳]، [۴]، [۶] و [۷]. اگرچه در ترانزیستورهای اثر میدان بدون پیوند پیچیدگی‌های فرایند ساخت نسبت به ترانزیستورهای مد وارونگی کاهش یافته است، با این حال جریان خاموشی و شیب زیرآستانه^۱ (SS) افزایش دارد [۳]، [۸] و [۹].

سیلیکون تحت کرنش بر روی سیلیکون ژرمانیوم در کانال ترانزیستور بدون پیوند برای بهبود هر دو پارامتر نسبت جریان روشن به جریان خاموشی (I_{ON}/I_{OFF}) و SS در [۴] پیشنهاد شد. در ساختار پیشنهادشده با کاهش ضخامت سیلیکون تحت کرنش، ناحیه تخلیه‌شده زیرگیت در حالت خاموش افزایش یافته و جریان خاموشی بهبود می‌یابد. برای کاهش SS، ساختار^۲ MHJL-FET پیشنهاد شده است [۴]. کیم و همکاران افزاره^۳ UTP-JLFET را برای کاربردهای سرعت بالا و توان پايين پیشنهاد کرده‌اند [۱۰]. در این ساختار از بدنه نازک سیلیکونی با ضخامت نازک بر روی عایق برای کاهش جریان حالت خاموش استفاده شده است. استفاده از یک هسته نوع p^+ در ترانزیستور^۴ CSNW-JLFET تونل‌زنی نوار به نوار جانبی^۵ (L-BTBT) از سورس به درین را کاهش داده است [۱۱] و در نتیجه جریان خاموشی کم شده و نسبت I_{ON}/I_{OFF} بهبود یافته است.

در این مقاله برای اولین بار استفاده از گیت کمکی در ناحیه درین برای بهبود هر دو پارامتر نسبت I_{ON}/I_{OFF} و SS پیشنهاد شده است. ساختار پیشنهادشده، "SOI-JLFET Aug"^۶ نامیده می‌شود. طول گیت کمکی و تابع کار آن به عنوان پارامترهای اضافی برای بهبود پارامترهای SS و نسبت I_{ON}/I_{OFF} در نظر گرفته شده‌اند. نتایج شبیه‌سازی نشان می‌دهد گیت کمکی باعث تغییر توزیع میدان الکتریکی نسبت به ساختار اصلی شده است. در حقیقت گیت کمکی با طول بهینه و همچنین تابع کار بهینه، ناحیه درین را در حالت خاموش از الکترون تخلیه می‌کند و در نتیجه مقاومت کل افزاره افزایش می‌یابد. بنابراین جریان حالت خاموش افزاره SOI-JLFET Aug نسبت به افزاره Regular SOI-JLFET کاهش یافته است. در ادامه، چالش‌های ساخت افزاره پیشنهادشده بحث

چکیده: در ترانزیستورهای اثر میدان بدون پیوند سیلیکون بر روی عایق (SOI-JLFET)، آلایش سورس-کانال-درین از یک سطح و یک نوع است. بنابراین فرایند ساخت آنها نسبت به ترانزیستورهای اثر میدان مد وارونگی سیلیکون بر روی عایق آسان‌تر است. با این حال، شیب زیرآستانه (SS) زیاد و جریان نشتی بالا در SOI-JLFET عملکرد آن را برای کاربردهای سرعت بالا و توان پايين با مشکل مواجه کرده است. در این مقاله برای اولین بار استفاده از گیت کمکی در ناحیه درین SOI-JLFET برای بهبود SS و کاهش جریان نشتی پیشنهاد شده است. ساختار پیشنهادشده "SOI-JLFET Aug" نامیده می‌شود. انتخاب بهینه برای تابع کار گیت کمکی و طول آن، سبب بهبود هر دو پارامتر شیب زیرآستانه و نسبت جریان روشن به جریان خاموشی نسبت به ساختار اصلی، Regular SOI-JLFET شده است. نتایج شبیه‌سازی نشان می‌دهد ساختار SOI-JLFET Aug با طول کانال ۲۰ nm، $SS \sim 71$ mV/dec و نسبت $I_{ON}/I_{OFF} \sim 10^{13}$ دارد. SS و نسبت I_{ON}/I_{OFF} ساختار SOI-JLFET Aug نسبت به ساختار Regular SOI-JLFET با ابعاد مشابه، به ترتیب ۱۴٪ و سه دهه بزرگی بهبود یافته‌اند. افزاره SOI-JLFET Aug می‌تواند کاندید مناسبی برای کاربردهای دیجیتال باشد.

کلیدواژه: ترانزیستور اثر میدان بدون پیوند سیلیکون بر روی عایق، تأخیر ذاتی گیت، شیب زیر آستانه، گیت کمکی، نسبت جریان حالت روشن به جریان حالت خاموش.

۱- مقدمه

با پیشرفت فناوری ابعاد افزاره‌های MOSFET به رژیم زیر میکرومتر کاهش یافته است. روند کاهش ابعاد ترانزیستورها بر اساس قانون مور در ابعاد نانو مزیت‌هایی از قبیل افزایش چگالی ترانزیستورها در یک تراشه، افزایش جریان راه‌اندازی، بهبود هدایت انتقالی، بهبود فرکانس قطع ترانزیستور و ... را در بر داشت [۱] تا [۴]. در ترانزیستورهای نانومقیاس گرادیان چگالی ناخالصی شدید بین پیوند سورس/کانال و پیوند درین/کانال سبب نفوذ ناخالصی‌های سورس و درین به کانال می‌شود، در نتیجه مشخصات الکتریکی افزاره MOSFET را تحت تأثیر قرار می‌دهد. از طرفی ایجاد پیوندهای سورس/کانال و درین/کانال پیچیدگی‌های فرایند ساخت ترانزیستورهای مد وارونگی را در رژیم نانومتر افزایش داده است زیرا تغییر آلایش از سورس به کانال و از درین به کانال در یک فاصله

این مقاله در تاریخ ۱۳ اسفند ماه ۱۳۹۷ دریافت و در تاریخ ۳۰ مرداد ماه ۱۳۹۸ بازنگری شد.

مهدی وادی‌زاده (نویسنده مسئول)، دانشکده مهندسی برق، واحد ابهر، دانشگاه آزاد اسلامی، ابهر، ایران، (email: vadizadeh@abhariau.ac.ir).

سید صالح قریشی، دانشکده مهندسی برق، واحد نور، دانشگاه آزاد اسلامی، نور، ایران، (email: salehghoreyshi@gmail.com).

محمد فلاح‌نژاد، دانشکده مهندسی برق، واحد تهران مرکز، دانشگاه آزاد اسلامی، تهران، ایران، (email: moh.fallahnezhad.eng@iauctb.ac.ir).

1. Subthreshold Slope
2. Modified Hetrostructure Junctionless FET
3. Ultra-Thin Poly-Si Junctionless FET
4. Core-Shell Nanowire-JLFET
5. Lateral Band-to-Band Tunneling
6. Silicon on Insulator JLFET with Auxiliary Gate

Archive of SID

پارامترهای ساختاری افزاره SOI-JLFET Regular با پارامترهای ساختاری افزاره شبیه‌سازی شده در [۱۰] یکسان است. به منظور مطالعه اثرات ناشی از اضافه‌شدن گیت کمکی در ناحیه درین افزاره SOI-JLFET Aug، شبیه‌سازی توسط نرم‌افزار SILVACO-ATLAS انجام شده است [۱۲]. برای تعیین مشخصات الکتریکی افزاره از مدل خودسازگار شرودینگر- پواسن استفاده شده است [۱۰] و [۱۲]. در حالت خاموش کانال افزاره بدون پیوند در حالت کاملاً تخلیه‌ای قرار دارد [۴]، [۶]، [۷] و [۱۳] و اثرات میدان بالا در این ناحیه، سبب تولید زوج الکترون- حفره می‌شود. بنابراین علاوه بر الکترون، حفره نیز در تعیین جریان حالت خاموش نقش مهمی را بازی می‌کند. در نتیجه برای شبیه‌سازی افزاره‌های نشان داده شده در شکل ۱، معادلات شرودینگر- پواسن علاوه بر الکترون برای حفره نیز حل شده است. در شبیه‌سازی‌های ما، حبس کوانتومی در راستای ضخامت بدنه (Y) در نظر گرفته شده و بنابراین معادله شرودینگر تک‌بعدی الکترون برای محاسبه هر زیرباند و تابع موج عمود بر راستای انتقال (X) به صورت زیر است [۱۲] و [۱۴]

$$-\frac{\hbar^2}{2} \frac{\partial}{\partial y} \left(\frac{1}{m_y^v(x,y)} \frac{\partial \Psi_{iv}}{\partial y} \right) + E_C(x,y) \Psi_{iv} = E_{iv} \Psi_{iv} \quad (1)$$

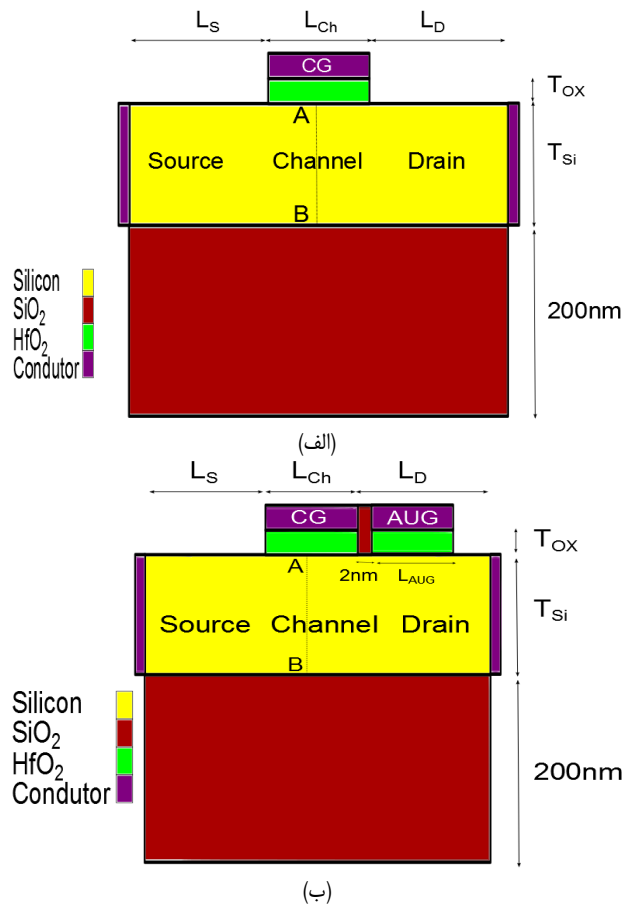
که در آن m_y^v جرم مؤثر در جهت ضخامت کانال است و $E_C(x,y)$ لبه نوار هدایت را نشان می‌دهد. برای حفره (۱) با جایگزینی جرم مؤثر حفره به جای جرم مؤثر الکترون و جایگزینی لبه باند ظرفیت $-E_V(x,y)$ با $E_C(x,y)$ اصلاح می‌شود.

برای در نظر گرفتن وابستگی قابلیت حرکت به میدان عمودی، چگالی ناخالصی و دما از مدل لامبارد (CVT) استفاده شده است [۱۴] و [۱۵]. مدل‌های بازترکیب شاکلی- رید- هال (SRH) و اوژه برای تعیین دقیق میزان جریان نشتی در افزاره‌های شبیه‌سازی شده به کار گرفته شده‌اند [۲] تا [۴] و [۱۶]. به دلیل چگالی بالای آلایش در سرتاسر افزاره از مدل نازک‌شدگی شکاف باند (BGN) استفاده شده است [۱۷]. اگرچه جریان نشت درین القا شده با گیت^۱ (GIDL) در ترانزیستور بدون پیوند نسبت به ترانزیستورهای مد وارونگی کاهش یافته است [۱۱] با این حال، جریان GIDL به دلیل روشن‌شدن ترانزیستور پیوندی دوقطبی پارازیتی برای $V_{GS} < 0$ ، جریان حالت خاموش افزاره SOI-JLFET را افزایش می‌دهد [۱۸] تا [۲۰]. برای در نظر گرفتن جریان GIDL در ساختار پیشنهاد شده، از مدل تونل‌زنی نوار به نوار دوبعدی در شبیه‌سازی استفاده شده است [۲۱] تا [۲۴].

مدل‌های استفاده شده برای شبیه‌سازی در این مقاله با مقایسه بین منحنی مشخصه ترانزیستور شبیه‌سازی شده ما و منحنی مشخصه ترانزیستور گزارش شده در [۱۰] کالیبره شده است (شکل ۲). چنانچه در شکل مشهود است منحنی مشخصه شبیه‌سازی شده ما تطابق بسیار خوبی با منحنی مشخصه گزارش شده در [۱۰] دارد که نشان‌دهنده اطمینان از اعتبار مدل‌های استفاده شده در شبیه‌سازی است.

۳- نتایج و بحث‌ها

یکی از پارامترهای شایستگی ترانزیستور برای کاربردهای دیجیتالی نسبت I_{ON}/I_{OFF} است. برای بهبود I_{ON}/I_{OFF} افزاره شکل ۱- الف استفاده از گیت کمکی در ناحیه درین پیشنهاد شده است (شکل ۱- ب). طول گیت کمکی ۷۰ nm و تابع کار آن ۴.۹ eV است. در افزاره پیشنهاد شده



شکل ۱: ساختارهای شبیه‌سازی شده در این مقاله، الف) Regular SOI-JLFET و ب) SOI-JLFET with auxiliary gate (SOI-JLFET Aug). اندازه‌های نشان داده شده مقیاس نشده‌اند.

جدول ۱: مشخصات افزاره‌های شبیه‌سازی شده در این مقاله.

پارامتر	مقدار
$L_S = L_D$	۱۱۰ nm
L_{ch}	۲۰ nm
T_{Si}	۲۰ nm
T_{OX}	۳ nm
منبع تغذیه V_{DD}	۱.۴ V
تابع کار گیت کمکی ϕ_{AUG}	۴.۹ eV
تابع کار گیت اصلی ϕ_{CG}	۵.۳۸ eV
عایق گیت از جنس HfO_2	$k = ۲۲$
چگالی ناخالصی سورس- کانال- درین از نوع دهنده	$1 \times 10^{17} \text{ cm}^{-3}$

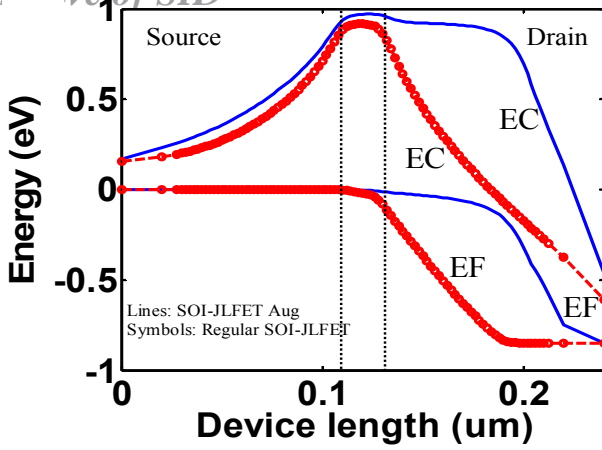
گردیده و عملکرد ساختار پیشنهاد شده بر اساس پارامترهای I_{ON}/I_{OFF} و SS با مطالعات انجام شده توسط دیگران مقایسه گردیده است. در بخش دوم ساختار افزاره پیشنهاد شده و مدل‌های به کار رفته در شبیه‌سازی بیان شده است. مشخصات الکتریکی افزاره پیشنهاد شده با گیت کمکی در بخش سوم بررسی گردیده و چالش‌های ساخت افزاره پیشنهاد شده در این قسمت آمده است. نهایتاً در بخش چهارم نتیجه‌گیری ارائه شده است.

۲- ساختار پیشنهادی و روش شبیه‌سازی

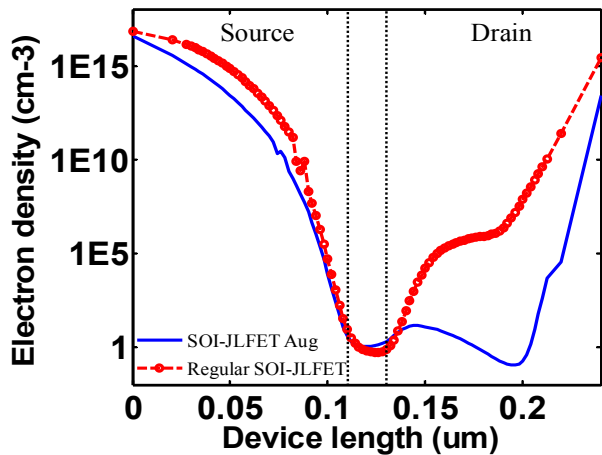
ساختارهای SOI-JLFET Regular و SOI-JLFET Aug به ترتیب در شکل‌های ۱- الف و ۱- ب آمده‌اند. جدول ۱ مشخصات افزاره‌های شبیه‌سازی شده در این مقاله را نشان می‌دهد.

1. Gate Induced Drain Leakage

A. *Active of SID*



(الف)



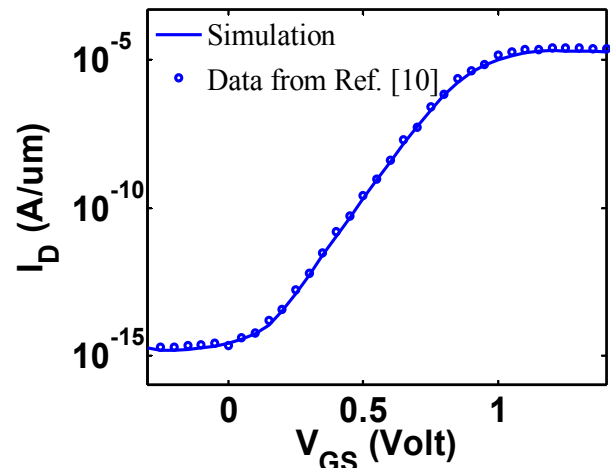
(ب)

شکل ۴: (الف) نوار هدایت و تراز فرمی الکترون در امتداد افزاره‌های SOI-JLFET Aug و Regular SOI-JLFET و (ب) چگالی الکترون در امتداد افزاره‌های SOI-JLFET Aug و Regular SOI-JLFET. ترازیهای انرژی و چگالی الکترون در فاصله ۵ nm از سطح نشان داده شده و نمودارها برای شرایط بایاس I_{OFF} استخراج شده‌اند.

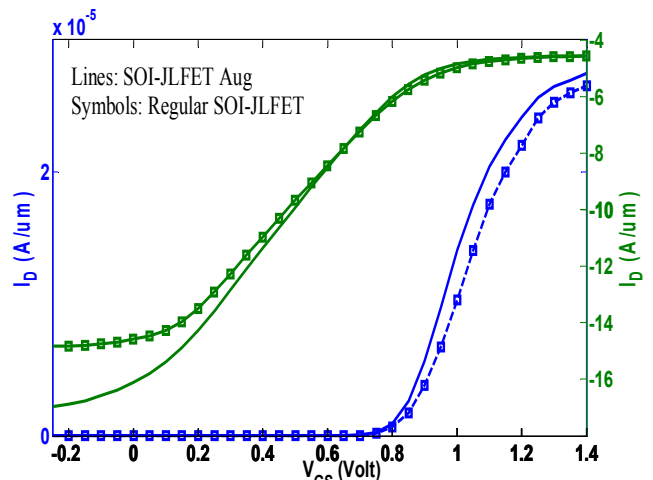
شکل ۴- الف نوار هدایت (E_C) و تراز فرمی الکترون (E_F) را در امتداد افزاره‌های SOI-JLFET Aug و Regular SOI-JLFET برای شرایط بایاس I_{OFF} مقایسه می‌کند. شرایط بایاس $V_{GS} = -0.25V$ و $V_{DS} = 0.85V$ است. چنانچه دیده می‌شود فاصله بین E_C و E_F در ناحیه درین برای SOI-JLFET Aug به مراتب بزرگ‌تر از این فاصله در افزاره Regular SOI-JLFET است. بنابراین انتظار می‌رود چگالی الکترون در ناحیه درین برای افزاره SOI-JLFET Aug کمتر از چگالی الکترون در ناحیه درین برای افزاره Regular SOI-JLFET باشد (شکل ۴- ب). در حقیقت گیت کمکی ناحیه درین را در حالت خاموش از الکترون تخلیه کرده و در نتیجه مقاومت کل افزاره افزایش یافته است. بنابراین جریان حالت خاموش افزاره SOI-JLFET Aug نسبت به افزاره Regular SOI-JLFET کاهش یافته است. کاهش قابل ملاحظه جریان حالت خاموش افزاره SOI-JLFET Aug سبب شده که شیب زیرآستانه آن نسبت به شیب زیرآستانه افزاره Regular SOI-JLFET، ۱۴٪ بهبود یابد.

۳-۱ چالش‌های ساخت افزاره پیشنهادشده

در ساختار افزاره پیشنهادشده از HfO_2 به عنوان اکسید گیت استفاده شده است. HfO_2 می‌تواند با روش لایه نشانی لایه اتمی روی سیلیکون لایه نشانی شود [۳]، [۲۶] و [۲۷]. یکی از مشکلات اصلی ساختار



شکل ۵: منحنی مشخصه افزاره گزارش شده در [۱۰] و افزاره شبیه‌سازی شده در این مقاله.



شکل ۶: منحنی مشخصه $I_D - V_{GS}$ افزاره‌های نشان داده شده در شکل ۱. برای افزاره SOI-JLFET Aug تابع کار گیت کمکی $4.9 eV$ و طول آن $70 nm$ در نظر گرفته شده و شرایط بایاس $V_{DS} = 0.85V$ است. محور عمودی سمت راست جریان درین را در مقیاس لگاریتم ($\log(I_D)$) نمایش داده است.

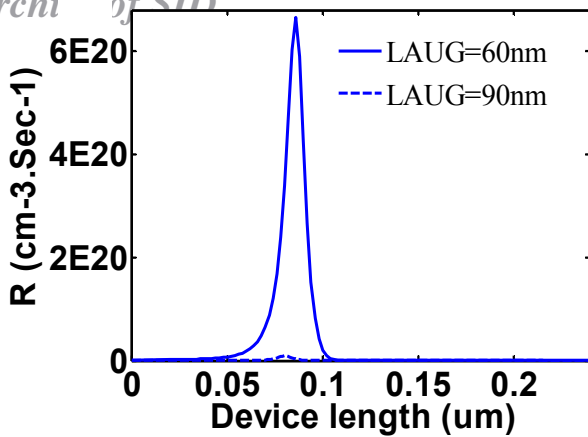
بایاس به گیت اصلی (CG) اعمال می‌شود و گیت کمکی (AUG) زمین شده است. شکل ۳ مشخصه $I_D - V_{GS}$ افزاره Regular SOI-JLFET و افزاره SOI-JLFET Aug را مقایسه می‌کند. در این مقاله ولتاژ آستانه مقدار V_{GS} به ازای جریان درین $10^{-7} A/um$ در نظر گرفته شده است [۳]. جریان درین برای ناحیه زیرآستانه ($V_{GS} < V_T$) جریان نشتی نامیده می‌شود و به حداقل جریان درین در این ناحیه جریان حالت خاموش (I_{OFF}) گفته می‌شود [۲۵]. شکل ۳ نشان می‌دهد:

۱) جریان حالت خاموش (حداقل جریان نشتی) افزاره SOI-JLFET Aug سه دهه بزرگی، کمتر از جریان حالت خاموش افزاره Regular SOI-JLFET است.

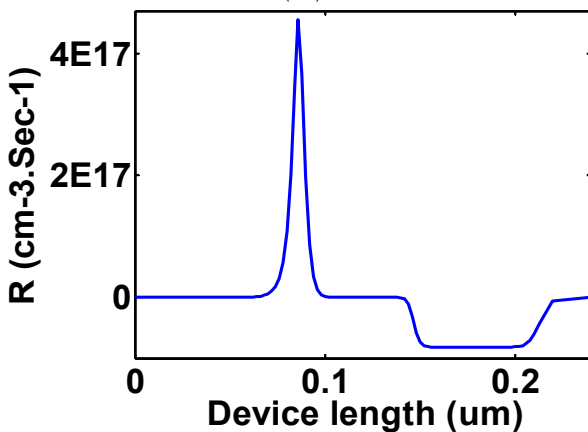
۲) جریان حالت روشن افزاره SOI-JLFET Aug تقریباً با جریان حالت روشن افزاره Regular SOI-JLFET یکسان است. در این مقاله جریان حالت روشن، جریان درین برای شرایط بایاس $V_{DS} = 0.85V$ و $V_{GS} = 1.4V$ در نظر گرفته شده است.

۳) شیب زیر آستانه افزاره SOI-JLFET Aug، $82 mV/dec$ و شیب زیرآستانه افزاره Regular SOI-JLFET معمولی، $71 mV/dec$ است. در این مقاله شیب زیر آستانه متوسط شیب بین جریان‌های $10^{-11} A/um$ و $10^{-7} A/um$ در نظر گرفته شده است [۱۳].

Archi of SID



(الف)

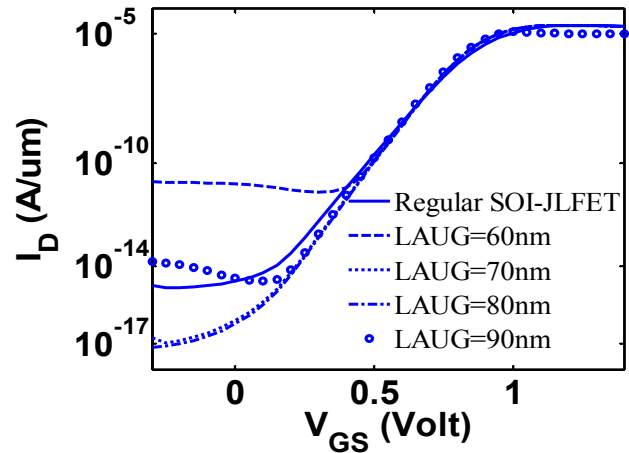


(ب)

شکل ۶: نرخ بازترکیب (R) در امتداد افزاره‌های شبیه‌سازی شده و در فاصله ۵ nm از سطح (الف) با طول گیت کمکی ۶۰ nm و ۹۰ nm (ب) Regular SOI-JLFET. شبیه‌سازی‌ها برای شرایط بایاس I_{OFF} انجام گردیده و تابع کار گیت کمکی ۴/۹ eV در نظر گرفته شده است.

فاصله ۵ nm از سطح نشان می‌دهد. همچنین شکل ۶-ب نرخ بازترکیب افزاره شبیه‌سازی شده بدون گیت کمکی را نشان می‌دهد. با مقایسه شکل‌های ۶-الف و ۶-ب دیده می‌شود بیشینه نرخ بازترکیب برای افزاره‌های با طول گیت کمکی ۶۰ nm و ۹۰ nm نسبت به ساختار اصلی افزایش یافته و در نتیجه جریان نشتی این افزاره‌ها بیشتر از جریان نشتی ساختار اصلی می‌باشد. شکل ۷-الف میدان الکتریکی را در امتداد افزاره و در فاصله ۵ nm از سطح (یعنی فصل مشترک (Si/HfO_2)) برای شرایط بایاس I_{OFF} نشان می‌دهد. چنانچه دیده می‌شود گیت کمکی با تابع کار ۴/۹ eV، توزیع میدان الکتریکی را نسبت به ساختار اصلی تغییر داده است. با دقت در شکل ۷ دیده می‌شود میدان الکتریکی ساختار اصلی در محل بیشینه نرخ بازترکیب، نسبت به ساختارهای با طول گیت کمکی ۶۰ nm و ۹۰ nm افزایش یافته و در نتیجه حامل‌ها فرصت بازترکیب نیافته‌اند و نرخ بازترکیب کاهش یافته است.

علاوه بر این، نرخ بازترکیب با حاصل ضرب چگالی الکترون-حفره (np) رابطه مستقیم دارد. شکل ۷-ب مجذور حاصل ضرب np را نمایش می‌دهد. چنانچه دیده می‌شود np در محل بیشینه نرخ بازترکیب در ساختارهای با طول گیت کمکی ۶۰ nm و ۹۰ nm نسبت به ساختار اصلی افزایش یافته است. در نتیجه بیشینه نرخ بازترکیب ساختارهای با طول گیت کمکی ۶۰ nm و ۹۰ nm نسبت به ساختار اصلی بیشتر است. شکل ۷ نتایج حاصل شده از شکل ۶ را تأیید می‌کند. چنانچه در بالا ذکر شد طول بهینه گیت کمکی ۷۰ nm انتخاب شده است.



شکل ۵: مشخصه $I_D - V_{GS}$ افزاره Aug SOI-JLFET برای طول گیت‌های کمکی (LAUG) ۶۰، ۷۰، ۸۰ و ۹۰ nm با تابع کار ۴/۹ eV. شرایط بایاس $V_{DS} = 0.85 V$ است.

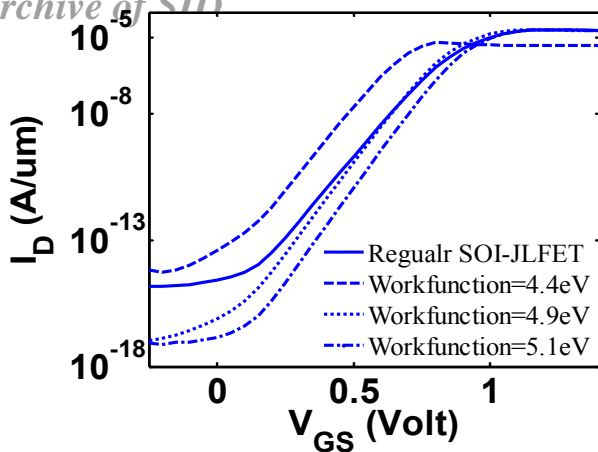
پیشنهاد شده استفاده از گیت کمکی با تابع کار متفاوت از گیت اصلی است. تابع کار مطلوب برای گیت اصلی و گیت کمکی می‌تواند با استفاده از مولیبدینوم به عنوان فلز با کاشت نیتروژن ایجاد شود [۳] و [۲۸] که مشخصه‌های منحصر به فردی مانند نقطه ذوب بالا و مقاومت کم ایجاد می‌کند. این روش برای تنظیم تابع کار گیت اصلی و گیت کمکی پیشنهاد می‌شود. اکسید از جنس SiO_2 با ضخامت ۲ nm به عنوان لایه جداکننده بین گیت کمکی و گیت اصلی در نظر گرفته شده است. کاهش ضخامت SiO_2 به کمتر از ۲ nm سبب شکست اکسید می‌شود [۳].

۲-۳ بهینه‌سازی مشخصات گیت کمکی

برای تعیین بهینه طول گیت کمکی، در ساختار پیشنهاد شده طول گیت کمکی از ۶۰ nm تا ۹۰ nm با فواصل ۱ nm افزایش داده شده است. ساختاری که بیشترین نسبت I_{ON}/I_{OFF} و کمترین مقدار شیب زیرآستانه را دارد به عنوان ساختار بهینه‌شده انتخاب گردیده است. شکل ۵ مشخصه $I_D - V_{GS}$ افزاره نشان داده شده در شکل ۱-ب را برای طول گیت‌های کمکی ۶۰، ۷۰، ۸۰ و ۹۰ nm با تابع کار ۴/۹ eV نشان می‌دهد. چنانچه دیده می‌شود برای طول گیت‌های کمکی ۶۰ nm و ۹۰ nm جریان نشتی نسبت به افزاره Regular SOI-JLFET افزایش داشته اما برای طول گیت‌های کمکی ۷۰ nm و ۸۰ nm جریان نشتی نسبت به ساختار اصلی به طور قابل ملاحظه‌ای کاهش یافته است. نتایج شبیه‌سازی‌های انجام شده نشان می‌دهد نسبت I_{ON}/I_{OFF} و شیب زیرآستانه برای افزاره SOI-JLFET Aug با طول گیت کمکی ۷۰ nm نسبت به سایر افزاره‌های شبیه‌سازی شده بهتر است و بنابراین طول بهینه گیت کمکی ۷۰ nm انتخاب شده است.

شکل ۵ نشان می‌دهد برای طول گیت کمکی ۷۰ nm و ۸۰ nm جریان نشتی در مقایسه با ساختار اصلی کاهش یافته است. در حقیقت چگالی الکترون در شرایط بایاس حالت خاموش در ناحیه درین، برای افزاره SOI-JLFET Aug با طول گیت کمکی ۷۰ nm و ۸۰ nm کمتر از چگالی الکترون در ناحیه درین برای افزاره Regular SOI-JLFET است و در نتیجه مقاومت کل افزاره SOI-JLFET Aug افزایش یافته است. بنابراین جریان حالت خاموش افزاره SOI-JLFET Aug با طول گیت کمکی ۷۰ nm و ۸۰ nm نسبت به افزاره Regular SOI-JLFET کاهش یافته است. شکل ۶-الف نرخ بازترکیب افزاره شبیه‌سازی شده را برای طول گیت‌های کمکی ۶۰ nm و ۹۰ nm در امتداد افزاره و در

Archive of SID



شکل ۸: مشخصه $I_D - V_{GS}$ افزاره شبیه‌سازی شده با طول گیت کمکی ۷۰ nm برای مقادیر مختلف تابع کار (شرایط بایاس $V_{DS} = 0.85$ V است).

حالت خاموش، برای تخلیه ناحیه n^+ درین در افزاره SOI-JLFET Aug نیاز است تابع کار گیت کمکی بزرگ‌تر از 4.4 eV باشد.

تأخیر ذاتی گیت، τ ، یکی از معیارهای شایستگی ترانزیستور در کاربردهای دیجیتال می‌باشد و از معادله زیر تعیین می‌شود [۱] تا [۳]

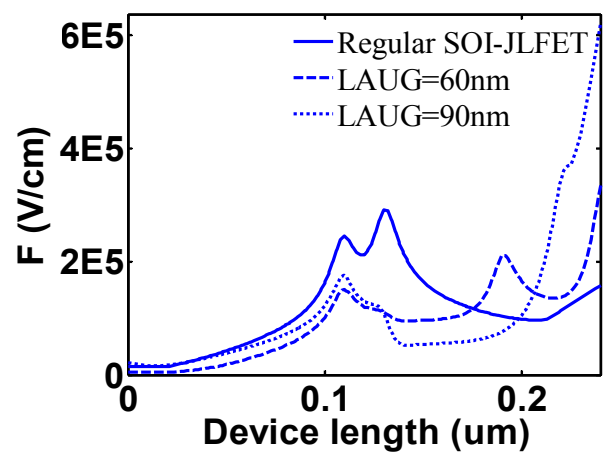
$$\tau = \frac{C_{gg} V_{DD}}{I_{ON}} \quad (2)$$

که در آن C_{gg} خازن کل گیت، I_{ON} جریان روشنی و $V_{DD} = 1.4$ V منبع ولتاژ است. برای تعیین C_{gg} فرض شده است $V_{DS} = 0.85$ V و V_{GS} بین 0 V تا 1.4 V در فرکانس 1 MHz سویپ شده است [۱] تا [۳]. تأخیر ذاتی گیت برای افزاره پیشنهاد شده با طول گیت کمکی ۷۰ nm با تابع کار 4.9 eV، $\tau = 3.14$ pS و برای افزاره اصلی $\tau = 2.62$ pS است. گیت کمکی سبب افزایش C_{gg} افزاره پیشنهاد شده نسبت به ساختار اصلی شده است. بنابراین تأخیر ذاتی گیت افزاره پیشنهاد شده نسبت به ساختار اصلی 16% افزایش یافته است. علی‌رغم افزایش اندک تأخیر ذاتی گیت افزاره پیشنهاد شده، افزایش قابل توجه نسبت I_{ON}/I_{OFF} آن نسبت به ساختار اصلی، سبب شده است تا انتخاب مناسبی برای کاربردهای دیجیتال باشد.

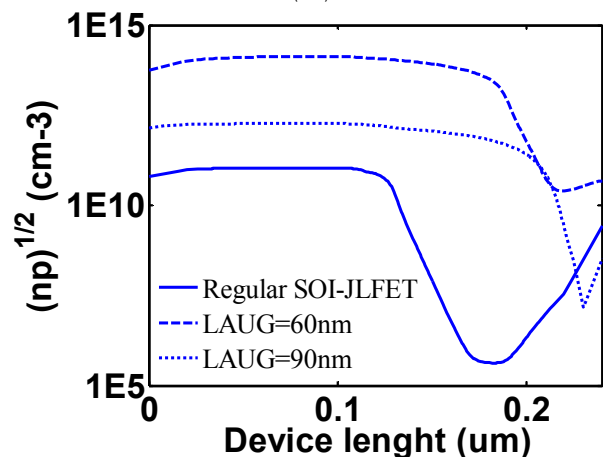
ساختار پیشنهاد شده با طول کانال 20 nm، $I_{ON}/I_{OFF} \sim 10^{13}$ دارد. ترانزیستور نانوسیم بدون پیوند گزارش شده در [۱۳] برای طول کانال 20 nm، نسبت $I_{ON}/I_{OFF} \sim 10^8$ دارد. ترانزیستور SOI-JLFET شبیه‌سازی در [۱۰] برای طول کانال 20 nm نسبت $I_{ON}/I_{OFF} \sim 10^{11}$ دارد. افزاره DMG-T-GNRFET پیشنهاد شده در [۲۹] دارای $I_{ON}/I_{OFF} \sim 10^5$ است. این نتایج عملکرد فوق‌العاده ساختار پیشنهاد شده در این مقاله را نسبت به ساختارهای پیشنهاد شده در [۱۰]، [۱۳] و [۲۹] نمایش می‌دهد.

۴- نتیجه گیری

اگرچه ترانزیستورهای بدون پیوند فرایند ساخت ساده‌تری در مقایسه با افزاره‌های مد وارونگی دارند، جریان نشتی و شیب زیرآستانه این افزاره‌ها زیاد است. در این مقاله جهت کاهش جریان نشتی و بهبود شیب زیرآستانه افزاره Regular SOI-JLFET، ساختار نوینی پیشنهاد شده و در ساختار پیشنهاد شده از گیت کمکی در ناحیه درین استفاده گردیده است. در افزاره SOI-JLFET Aug بایاس به گیت اصلی اعمال می‌شود و گیت کمکی بدون بایاس است. پارامترهای ساختاری گیت کمکی (طول



(الف)



(ب)

شکل ۷: (الف) توزیع میدان الکتریکی و (ب) مجذور حاصل‌ضرب چگالی الکترون-حفره در امتداد افزاره‌های شبیه‌سازی شده و در فاصله 5 nm از سطح برای شرایط بایاس I_{OFF} .

شکل ۸ مشخصه $I_D - V_{GS}$ افزاره SOI-JLFET Aug را برای طول گیت کمکی ۷۰ nm با تابع کارهای مختلف 4.4 eV، 4.9 eV و 5.1 eV نشان می‌دهد. چنانچه دیده می‌شود با افزایش تابع کار گیت کمکی برای مقادیر بزرگ‌تر از 4.9 eV جریان حالت روشن در ولتاژهای گیت بزرگ‌تری توزیع شده که می‌توان آن را به افزایش ولتاژ آستانه نسبت داد. نتایج شبیه‌سازی نشان می‌دهد با افزایش تابع کار گیت کمکی برای مقادیر بزرگ‌تر از 4.9 eV و در شرایط بایاس زیرآستانه، چگالی الکترون‌های زیر گیت کمکی در ناحیه درین، کاهش و به دنبال آن مقاومت کل افزاره افزایش می‌یابد. در نتیجه ولتاژ آستانه لازم برای روشن شدن افزاره SOI-JLFET Aug اندکی افزایش یافته است.

نتایج شبیه‌سازی‌های انجام شده نشان می‌دهد برای مقادیر تابع کار گیت کمکی بزرگ‌تر از 4.4 eV نسبت I_{ON}/I_{OFF} افزاره پیشنهاد شده با طول گیت کمکی ۷۰ nm نسبت به افزاره اصلی بهبود یافته است. بر اساس نتایج حاصل شده از شبیه‌سازی در شرایط بایاس حالت خاموش، چگالی الکترون در ناحیه درین افزاره SOI-JLFET Aug با تابع کار گیت کمکی 4.4 eV و کمتر، از چگالی الکترون در ناحیه درین افزاره Regular SOI-JLFET بیشتر است. در نتیجه مقاومت کل افزاره در حالت خاموش، برای ساختار شبیه‌سازی شده با گیت کمکی با مقادیر تابع کار 4.4 eV و کمتر، نسبت به ساختار اصلی کاهش می‌یابد. بنابراین جریان حالت خاموش افزاره پیشنهاد شده برای گیت کمکی با مقادیر تابع کار 4.4 eV و کمتر، نسبت به ساختار اصلی افزایش می‌یابد. در حقیقت در شرایط بایاس

Archive of SID

- [19] I. H. Wong, et al., "Junctionless gate-all-around pFETs using in-situ boron-doped Ge channel on Si," *IEEE Trans. on Nanotechnology*, vol. 14, no. 5, pp. 878-882, Jul. 2015.
- [20] S. Migita, et al., "Experimental demonstration of ultrashort-channel (3 nm) junctionless FETs utilizing atomically sharp V-grooves on SOI," *IEEE Trans. on Nanotechnology*, vol. 13, no. 2, pp. 208-215, Jan. 2014.
- [21] G. A. M. Hurkx, D. B. M. Klaassen, and M. P. G. Knuvers, "A new recombination model for device simulation including tunneling," *IEEE Trans. on Electron Devices*, vol. 39, no. 2, pp. 331-338, Feb. 1992.
- [22] N. Kozhukhov, B. Oh, and H. Shin, "Approximations to field-effect factor and their use in GIDL modeling," in *Proc. 18th IEEE Int. Symp. on the Physical and Failure Analysis of Integrated Circuits, IPFA'11*, 4 pp., Incheon, South Korea, 4-7 Jul. 2011.
- [23] D. Moon, et al., "Analysis and modeling for random telegraph noise of GIDL current in saddle MOSFET for DRAM application," *IEICE Electronics Express*, vol. 11, no. 13, pp. 20140468-20140468, 2014.
- [24] D. Kang, et al., "Comparison of GIDL mechanism between MOSFET and FinFET," in *Proc. Int. Technical Conf. on Circuits Systems, Computers and Communications, ITC-CSCC'15*, pp. 1014-1017, Seoul, South Korea, 29 Jun.-2 Jul. 2015.
- [25] P. Kerber, et al., "GIDL in doped and undoped FinFET devices for low-leakage applications," *IEEE Electron Device Letters*, vol. 34, no. 1, pp. 6-8, Nov. 2013.
- [26] E. P. Gusev, et al., "Ultrathin HfO₂ films grown on silicon by atomic layer deposition for advanced gate dielectrics applications," *Microelectron Engineering*, vol. 69, no. 2-4, pp. 145-151, Sept. 2003.
- [27] S. M. George, "Atomic layer deposition: an overview," *Chemical Reviews*, vol. 110, no. 1, pp. 111-131, Jan. 2009.
- [28] P. Ranade, et al., "Work function engineering of molybdenum gate electrodes by nitrogen implantation," *Electrochemical and Solid-State Letters*, vol. 4, no. 11, pp. G85-G87, Nov. 2001.
- [29] S. S. Ghoreishi, et al., "A novel tunneling graphene nano ribbon field effect transistor with dual material gate: numerical studies," *Superlattices and Microstructures*, vol. 97, pp. 277-286, Sept. 2016.

مهدی وادی زاده تحصیلات خود را در مقاطع کارشناسی، کارشناسی ارشد و دکتری الکترونیک به ترتیب در سالهای ۱۳۸۴ و ۱۳۸۸ و ۱۳۹۳ در دانشگاه آزاد اسلامی به پایان رسانده است. ایشان به عنوان محقق آزمایشگاه شبیه سازی افزاره دانشکده برق و کامپیوتر دانشگاه تهران از سال ۱۳۸۵ تا کنون مشغول به فعالیت بوده است. دکتر وادی زاده از سال ۱۳۸۸ در دانشکده فنی دانشگاه آزاد اسلامی - واحد اهر مشغول به فعالیت گردید و اینک نیز با عنوان استادیار عضو هیأت علمی گروه برق این دانشکده می باشد. زمینه های تحقیقاتی مورد علاقه ایشان عبارتند از: ادوات نیمه هادی، طراحی و مدل سازی ترانزیستورهای نانو مقیاس توان پایین و سرعت بالا، شبیه سازی سلول های خورشیدی و طراحی مدارات مجتمع آنالوگ/فراکانس بالا.

سید صالح قریشی امیری تحصیلات خود را در مقطع کارشناسی الکترونیک در سال ۱۳۸۳ در دانشگاه نوشیروانی بابل به پایان رساند. ایشان تحصیلات خود را در مقاطع کارشناسی ارشد و دکتری الکترونیک به ترتیب در سال های ۱۳۸۸ و ۱۳۹۲ در دانشگاه آزاد اسلامی به پایان رسانده است. دکتر قریشی هم اکنون استادیار دانشکده فنی دانشگاه آزاد اسلامی - واحد نور می باشد. زمینه های تحقیقاتی مورد علاقه ایشان عبارتند از: ادوات نیمه هادی مبتنی بر گرافن، افزاره های نانو الکترونیک سرعت بالا، شبیه سازی سلول های خورشیدی.

محمد فلاح نژاد تحصیلات خود را در مقطع کارشناسی الکترونیک در سال ۱۳۹۰ در دانشگاه غیاث الدین جمشید کاشانی به پایان رساند. ایشان تحصیلات خود را در مقاطع کارشناسی ارشد و دکتری الکترونیک به ترتیب در سال های ۱۳۹۳ و ۱۳۹۸ در دانشگاه آزاد اسلامی به پایان رسانده است. دکتر فلاح نژاد هم اکنون مدرس دانشکده فنی دانشگاه آزاد اسلامی - واحد تهران مرکزی می باشد. زمینه های تحقیقاتی مورد علاقه ایشان عبارتند از: ادوات نیمه هادی، طراحی مدارهای مجتمع CMOS، طراحی مدارهای الکترونیکی در فراکانس بالا.

گیت کمکی و تابع کار آن) به عنوان پارامترهای اضافی برای افزایش نسبت I_{ON}/I_{OFF} و کاهش شیب زیرآستانه استفاده شده اند. در افزاره پیشنهاد شده با طول گیت کمکی ۷۰ nm و تابع کار ۰.۴۹ eV، شیب زیرآستانه و نسبت I_{ON}/I_{OFF} در مقایسه با ساختار اصلی به ترتیب ۱۴٪ و سه دهه بزرگی بهبود یافته اند. در حقیقت گیت کمکی توزیع میدان الکتریکی را در افزاره پیشنهاد شده تغییر داده و در نتیجه نرخ بازترکیب در حالت خاموش کاهش یافته و به دنبال آن سبب کاهش I_{OFF} شده است. افزاره پیشنهاد شده با طول گیت کمکی ۷۰ nm و تابع کار ۰.۴۹ eV دارای $I_{ON}/I_{OFF} \sim 10^{13}$ است و $SS \sim 71$ mV/dec می تواند در مدارات دیجیتال سرعت بالا استفاده شود.

مراجع

- [1] M. Vadizadeh, "Dual material gate nanowire field effect diode (DMG-NWFED): operating principle and properties," *Microelectronics J.*, vol. 71, pp. 1-7, Jan. 2018.
- [2] M. Vadizadeh, M. Fathipour, and G. Darvish, "Silicon on raised insulator field effect diode (sori-fed) for alleviating scaling problem in fed," *International J. of Modern Physics B*, vol. 28, no. 5, p. 1450038, Dec. 2014.
- [3] M. Vadizadeh, "Characteristics of GaAs/GaSb tunnel field-effect transistors without doping junctions: numerical studies," *J. of Computational Electronics*, vol. 17, no. 2, pp. 745-755, Jun. 2018.
- [4] M. Vadizadeh, "Designing a heterostructure junctionless-field effect transistor (HJL-FET) for high-speed applications," *J. of the Korean Physical Society*, vol. 71, no. 5, pp. 275-282, 2017.
- [5] P. K. Agarwal, Modeling & Simulation of High Performance Nanoscale MOSFETs, Ph.D. Diss., 2013.
- [6] J. P. Colinge, et al., "Nanowire transistors without junctions," *Nature Nanotechnology*, vol. 5, no. 3, pp. 225-229, Mar. 2010.
- [7] F. Jazaeri, *Modeling Junctionless Metal-Oxide-Semiconductor Field-Effect Transistor.*, Ph.D. Diss., École Polytechnique Federale De Lausanne, 2015.
- [8] N. Dehdashti Akhavan, et al., "Improvement of carrier ballisticity in junctionless nanowire transistors," *Applied Physics Letters*, vol. 98, no. 10, p. 10351, Mar. 2011.
- [9] N. Dehdashti Akhavan, et al., "Emission and absorption of optical phonons in multigate silicon nanowire MOSFETs," *J. of Computational Electronics*, vol. 11, no. 3, pp. 249-265, Sept. 2012.
- [10] Y. Kim, et al., "High-speed low-power junctionless field-effect transistor with ultra-thin Poly-Si channel for sub-10-nm technology node," *J. of Semiconductor Technology and Science*, vol. 16, no. 2, pp. 159-165, Apr. 2016.
- [11] S. Sahay and M. Jagadesh Kumar, "Controlling L-BTBT and volume depletion in nanowire JLFETs using core-shell architecture," *IEEE Trans. on Electron Devices*, vol. 63, no. 9, pp. 3790-3794, Jul. 2016.
- [12] ATLAS User's Manual (2013). <http://www.silvaco.com>.
- [13] M. P. V. Kumar, et al., "Impacts of the shell doping profile on the electrical characteristics of junctionless FETs," *IEEE Trans. on Electron Devices*, vol. 62, no. 11, pp. 3541-3546, Sept. 2015.
- [14] F. Stern and W. E. Howard, "Properties of semiconductor surface inversion layers in the electric quantum limit," *Physical Review*, vol. 163, no. 3, p. 816, Nov. 1967.
- [15] C. Lombardi, et al., "A physically based mobility model for numerical simulation of nonplanar devices," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 7, no. 11, pp. 1164-1171, Nov. 1988.
- [16] M. Vadizadeh, "Improving gate delay and I_{ON}/I_{OFF} in nanoscale heterostructure field effect diode (H-FED) by using heavy doped layers in the channel," *Applied Physics A*, vol. 122, no. 4, p. 469, Apr. 2016.
- [17] M. Fallahnejad, M. Vadizadeh, and A. Salehi, "Performance enhancement of field effect transistor without doping junctions using In 0.3 Ga 0.7 As/GaAs for analog/RF applications," *International Journal of Modern Physics B*, vol. 33, no. 7, p. 1950050, Mar. 2019.
- [18] S. J. Choi, et al., "Sensitivity of threshold voltage to nanowire width variation in junctionless transistors," *IEEE Electron Device Letters*, vol. 32, no. 2, pp. 125-127, Dec. 2011.

SID



سرویس های ویژه



سرویس ترجمه تخصصی



کارگاه های آموزشی



بلاگ مرکز اطلاعات علمی



سامانه ویراستاری STES



فیلم های آموزشی

کارگاه های آموزشی مرکز اطلاعات علمی جهاد دانشگاهی

توجه: بررسی مقاله ای متون (مقدماتی)

کارگاه آنلاین
بررسی مقابله ای متون (مقدماتی)

PROPOSAL
پروپوزال

توجه: پروپوزال نویسی و پایان نامه نویسی

کارگاه آنلاین
پروپوزال نویسی و پایان نامه نویسی

ISI
Scopus

توجه: آشنایی با پایگاه های اطلاعات علمی بین المللی و ترند های جستجو

کارگاه آنلاین آشنایی با پایگاه های اطلاعات علمی بین المللی و ترند های جستجو