

SID



سرویس های ویژه



سرویس ترجمه تخصصی



کارگاه های آموزشی



بلاگ مرکز اطلاعات علمی



سامانه ویراستاری STES



فیلم های آموزشی

کارگاه های آموزشی مرکز اطلاعات علمی



مقاله نویسی علوم انسانی

مقاله نویسی علوم انسانی



اصول تنظیم قراردادها

اصول تنظیم قراردادها



آموزش مهارت های کاربردی در تدوین و چاپ مقاله

آموزش مهارت های کاربردی در تدوین و چاپ مقاله

طراحی یک تقویت کننده ابزار دقیق حالت جریان با CMRR بسیار بزرگ، پهنای باند وسیع، توان مصرفی پایین و ساختاری جدید بر پایه ناقل جریان تمام تفاضلی نسل دوم

سوما احمدی و سیدجواد ازهری

برتری‌های حالت جریان بر حالت ولتاژ عبارتند از کار در ولتاژهای پایین و توان‌های بسیار پایین، گستره پویایی (به خصوص جریانی) بالا، فرکانس و سرعت زیاد و ساختار ساده‌تر و کوچک‌تر [۶] تا [۱۶]. علاوه بر امتیازهای یادشده، CMRR انواع جریانی تقویت‌کننده‌های ابزار دقیق برخلاف نوع حالت ولتاژی (که حساس به دقت مقاومت‌ها بوده و توسط آن محدود می‌شوند) مستقل از دقت مقاومت‌ها می‌باشد. از این رو امروزه به تدریج انواع جریانی تقویت‌کننده ابزار دقیق جایگزین نمونه‌های مرسوم حالت ولتاژی شده‌اند [۸] تا [۲۳]. ساختارهای متفاوتی از تقویت‌کننده ابزار دقیق حالت جریان (CMIA) تاکنون گزارش شده‌اند که می‌توان آنها را با توجه به سیگنال ورودی در دو نوع (۱) تقویت‌کننده با امپدانس ورودی پایین (مناسب سیگنال‌های ورودی جریانی) و (۲) تقویت‌کننده با امپدانس ورودی بزرگ (مناسب سیگنال‌های ورودی ولتاژی) طبقه‌بندی کرد.

تقویت‌کننده‌های نوع اول خود به دو دسته (۱) انواع مبتنی بر ناقل‌های جریان (CCs) [۱۰] و [۱۲] و (۲) انواع مبتنی بر روش سنجش جریان منبع تغذیه تقسیم‌بندی می‌شوند [۸] و [۹]، اما از جمله مشکلات این ساختارها نیاز به بلوک‌های فعال همجور برای افزایش CMRR مدار است. به منظور حذف نیاز به بلوک‌های فعال همجور در ساختار CMIA، انواع مبتنی بر ناقل جریان تفاضلی نسل دوم (DVCCII) معرفی شدند [۱۳]. ساختار این CMIAها به دلیل استفاده از تقویت‌کننده تفاضلی در ورودی ولتاژی ناقل جریان، تنها از یک بلوک فعال تشکیل شده است اما به دلیل خروجی‌های تک‌سر، افزایش چشم‌گیری در بهبود CMRR مدار نخواهد داشت. برای غلبه بر تمامی مشکلات ذکرشده، در این مقاله یک CMIA بر مبنای ناقل جریان تمام تفاضلی نسل دوم (FDCCII) با بهره‌گیری از مزایای زیر ارائه می‌شود:

- برای غلبه بر مشکلاتی مانند نیاز به تطبیق دقیق مقاومتی و وابستگی بهره و CMRR به پهنای باند در IAهای حالت ولتاژی، یک IA حالت جریان معرفی می‌شود. این مدار علاوه بر این که از تمامی مزایای پردازش حالت جریان برخوردار است، تنها از یک بلوک فعال تشکیل شده و نیاز به بلوک‌های فعال همجور را از بین می‌برد.
- CMRR که مهم‌ترین پارامتر یک تقویت‌کننده ابزار دقیق است با استفاده از طبقه تفاضل‌گیر جریان تا حد زیادی بهبود یافته است.
- FDCCII طراحی شده یک ساختار کاملاً متقارن و تماماً تفاضلی است که با استفاده از آینه جریان ستونی نوسان بلند که از جمله بهترین مدارهای با ولتاژ و توان مصرفی کم می‌باشد، تحت ولتاژ تغذیه $\pm 1V$ طراحی شده است.

ادامه مطالب به صورت زیر طبقه‌بندی می‌شود: بخش دوم به معرفی تقویت‌کننده پیشنهادی از طریق ارائه ترکیب سیستمی (نمای بلوکی

چکیده: در این مقاله یک ساختار جدید برای پیاده‌سازی تقویت‌کننده ابزار دقیق حالت جریان (CMIA) بر مبنای ناقل جریان نسل دوم تمام تفاضلی (FDCCII) پیشنهاد می‌شود. این ساختار به دلیل بهره‌بردن از امتیازهای کار در حالت جریان بر خلاف تقویت‌کننده‌های ابزار دقیق حالت ولتاژ نیاز به مقاومت‌های همجور برای دستیابی به CMRR بزرگ نداشته و به طور ذاتی توانایی بهبود پارامترهای مهم یک CMIA را دارد. همچنین برخلاف سایر انواع جریانی این گروه، استفاده از ساختار تفاضلی تأثیر ناهم‌جوری بلوک‌های الکترونیکی در عملکرد آن را کاهش داده است. هر دوی این مزیت‌ها اندازه و توان مصرفی ساختار را به شدت کاهش و پهنای باند و CMRR مدار را افزایش داده و این مدار را به نمونه‌ای کم‌ظایر در عملکرد و انتخابی بسیار مناسب برای مجتمع‌سازی تبدیل نموده است. در CMIA طراحی شده CMRR به عنوان مهم‌ترین پارامتر یک تقویت‌کننده ابزار دقیق با استفاده از یک طبقه تفاضل‌گیر جریان بهبود داده شده است. طراحی مدار با استفاده از فناوری $0.18 \mu\text{m}$ CMOS تحت ولتاژهای تغذیه $\pm 1V$ انجام گرفته و عملکرد آن با استفاده از نرم‌افزار HSPICE در سطح ترانزیستور بررسی شده است. نتایج شبیه‌سازی مقادیر CMRR برابر 227.4 dB و پهنای باند 8.98 KHz ، پهنای باند بهره تفاضلی 9.08 MHz ، ولتاژ آفست خروجی 2.23 uV و توان مصرفی 3.48 uW می‌باشد. به عنوان یک امتیاز منحصر به فرد، مقدار CMRR در پاسخ مونت‌کارلو (که خطاهای فناوری را نیز منظور می‌نماید) تا 228.68 dB افزایش یافته که به طور نسبی عدم حساسیت ساختار پیشنهادی را به خطاهای فناوری (PVT) به عنوان یک ویژگی بی‌ظایر تأیید می‌نماید.

کلیدواژه: تقویت‌کننده ابزار دقیق (IA)، تقویت‌کننده ابزار دقیق حالت جریان (CMIA)، نسبت رد حالت مشترک بسیار بزرگ (High CMRR)، ناقل جریان تمام تفاضلی نسل دوم (FDCCII)، توان مصرفی پایین (LP).

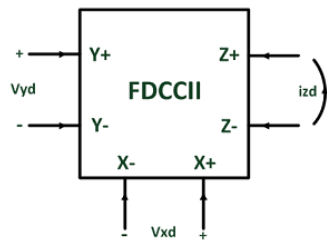
۱- مقدمه

در سال‌های اخیر، طراحان و محققان در زمینه طراحی مدارهای آنالوگ به دلیل افزایش تقاضا برای مدارها و تجهیزات توان-ولتاژ پایین قابل حمل و همچنین محدودیت‌های روند فناوری جدید ساخت مدارهای مجتمع، با چالش‌های جدی مواجه شده‌اند [۱] تا [۵]. استفاده از پردازش سیگنال حالت جریان به عنوان روشی برای غلبه بر این چالش‌ها و محدودیت‌ها در بین طراحان محبوبیت زیادی یافته است. مهم‌ترین

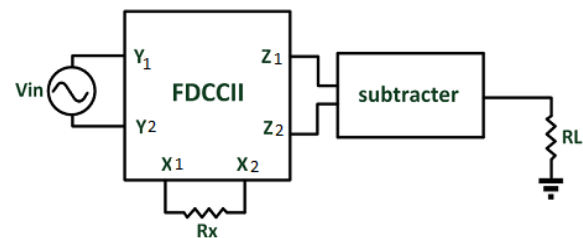
این مقاله در تاریخ ۲۷ آذر ماه ۱۳۹۶ دریافت و در تاریخ ۵ خرداد ماه ۱۳۹۷ بازنگری شد.

سوما احمدی، دانشکده مهندسی برق، دانشگاه علم و صنعت ایران، تهران، ایران، (email: s0_ahmadi@alumni.iust.ac.ir).

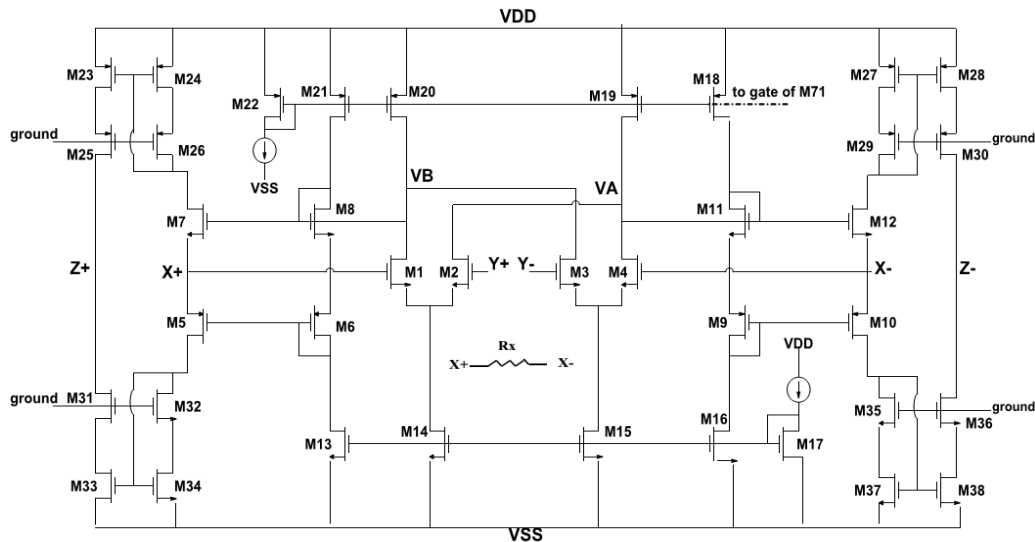
سیدجواد ازهری (نویسنده مسئول)، دانشکده مهندسی برق، دانشگاه علم و صنعت ایران، تهران، ایران، (email: azhari@iust.ac.ir).



شکل ۲: سمبل یک ناقل جریان تمام تفاضلی نسل دوم.



شکل ۱: بلوک دیگرام CMIA در حالت ورودی ولتاژی.



شکل ۳: مدار FDCCII پیشنهاد شده.

پایه‌های تفاضلی (X و Z) تشکیل شده است. سمبل FDCCII و ماتریس عملکردی آن به ترتیب در شکل ۲ و (۱) نشان داده شده است. امپدانس پایه‌های تفاضلی ورودی Y ، پایه‌های تفاضلی ورودی (خروجی) x و پایه‌های تفاضلی z در حالت ایده‌آل به ترتیب بی‌نهایت، صفر و بی‌نهایت می‌باشد. باید توجه نمود که منظور از انتقال به صورت تفاضلی عدم انتقال مؤلفه‌های حالت مشترک سیگنال ورودی به خروجی است. در تحقق مداری واقعی وجود امپدانس‌های غیر ایده‌آل در پایه‌ها سبب آثار نامطلوب در عملکرد FDCCII می‌شود

$$\begin{bmatrix} i_{y+} \\ i_{y-} \\ v_{x+} \\ v_{x-} \\ i_{z+} \\ i_{z-} \end{bmatrix} = \begin{bmatrix} \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ 1 & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & -1 & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & 1 & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & -1 & \cdot & \cdot \end{bmatrix} \begin{bmatrix} v_{y+} \\ v_{y-} \\ i_{x+} \\ i_{x-} \\ v_{z+} \\ v_{z-} \end{bmatrix} \quad (1)$$

مدار FDCCII طراحی شده در سطح ترانزیستور در شکل ۳ آمده است. از آنجا که این مدار برای کاربردهای ابزار دقیق طراحی گردیده، بهبود CMRR به عنوان مهم‌ترین پارامتر مورد توجه واقع شده است. عملکرد مدار ارائه شده را می‌توان در دو بخش عمده دنبال کننده جریان تفاضلی و دنبال کننده ولتاژ تفاضلی بررسی کرد.

طبقه ورودی شامل دو تقویت کننده تفاضلی تراهدایتی (ترانزیستورهای همجور $M1-M4$) می‌باشد که به همراه طبقه بهره $(M19, M20)$ و بر اساس برابری جریان خروجی دو طبقه تراهدایتی، عمل دنبال کننده ولتاژ از پایه y به پایه x را انجام می‌دهند. استفاده از ساختار حلقه تراخطی در پایه‌های x (شامل ترانزیستورهای $M5-M8$ در x_+ و

بخش ۲)، ساختار مداری (در سطح ترانزیستور- بخش ۲-۱)، تحلیل نظری (معادله‌های عملکردی حاکم- بخش ۲-۱ و ۲-۲) هر دو بخش آن (FDCCII و مدار تفاضل گیر جریان) می‌پردازد. در بخش سوم با ارائه نتایج شبیه‌سازی CMIA پیشنهادی با شبیه‌ساز HSPICE کارایی این مدار اثبات می‌شود. این کار با نتیجه‌گیری در بخش چهارم و سپس معرفی مراجع مورد استفاده به پایان می‌رسد.

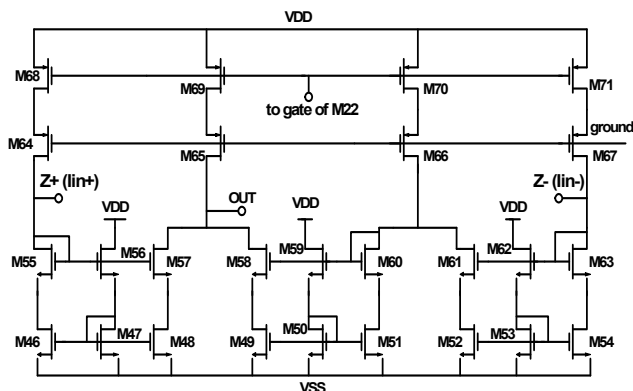
۲- معرفی CMIA پیشنهاد شده

ساختار بلوک دیگرامی CMIA پیشنهاد شده، در شکل ۱ نشان داده شده است. این ساختار با بلوک ناقل جریان نسل دوم تفاضلی FDCCII شروع و به یک تفریق کننده جریان ختم می‌شود. مطابق با شکل ۱، سیگنال ولتاژ تفاضلی ورودی به پایه‌های x منتقل می‌شود و در R_x جریانی را به وجود می‌آورد که به صورت تفاضلی به پایه‌های جریانی مختلف علامت z منتقل می‌گردد. سپس بلوک تفاضل گیر جریان تفاضل جریان‌های خروجی را به R_L منتقل می‌کند. بهره ولتاژ تفاضلی کل CMIA در این حالت برابر $2R_L/R_x$ می‌باشد.

باید توجه داشت که چنانچه سیگنال حالت مشترک به هر طریقی به پایه‌های x منتقل شود به دلیل تقارنی که مدار دارد به هر دو پایه x_+ و x_- به یک اندازه منتقل می‌شود و لذا جریانی در R_x ایجاد نکرده و به خروجی منتقل نمی‌شود. مشروح عملکرد و جزئیات در سطح ترانزیستور این دو بلوک و تقویت کننده ابزار دقیق کامل در بخش‌های بعدی تقدیم می‌گردد.

۲-۱- FDCCII طراحی شده

ناقل جریان تمام تفاضلی نسل دوم یک بلوک ۶ پایه است که از اتصال یک بافر ولتاژ (بین پایه‌های تفاضلی Y و X) و یک بافر جریان (بین



شکل ۵: شماتیک مداری تفاضل گیر جریان.

۲-۲ مدار تفاضل گیر جریان

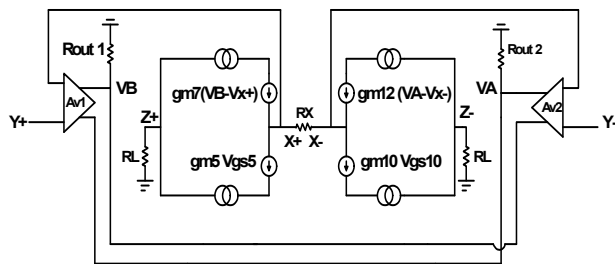
از آنجا که FDCCII دارای خروجی تفاضلی جریانی است، جهت داشتن خروجی تک سر و همچنین افزایش چشم گیر CMRR از یک طبقه تفاضل گیر جریان در CMIA پیشنهادی استفاده شده است [۲۲]. مدار این تفریق کننده در سطح ترانزیستور در شکل ۵ آمده است که این مدار شامل چهار منبع جریان کسکودی (شامل ترانزیستورهای M۶۴-M۷۱) و سه آینه جریان ویلسون (اولی M۶۱-M۶۳ و M۵۲-M۵۳، دومی M۵۸-M۶۰ و M۴۹-M۵۱ و سومی M۵۵-M۵۷) می باشد.

آینه های اول و دوم اشاره شده در بالا عمل معکوس کردن جریان پایه Z_r را انجام می دهند لذا تفاضل جریان پایه های Z_r, Z_l به خروجی راه می یابد. در نتیجه سیگنال حالت مشترک ورودی به دلیل عمل تفریق با بهره صفر (در حالت ایده آل) به خروجی منتقل می شود که تأثیر چشم گیری در افزایش CMRR مدار خواهد گذاشت.

۳-۳ CMIA پیشنهاد شده و نتایج شبیه سازی

مدار CMIA در فناوری ۰٫۱۸ um تحت ولتاژهای تغذیه ± 1.7 طراحی شده است. شبیه سازی این مدار با تفصیل سیگنالی و ترکیب سیستمی شکل ۱ و جزئیات ترانزیستوری شکل های ۳ و ۵ با استفاده از نرم افزار HSPICE ارائه گردیده است. شبیه سازی ها با مقادیر برابر $R_x = 2RL = 2k\Omega$ انجام شده و نتایج شبیه سازی، مقادیر CMRR برابر 227.4 dB با پهنای باند 8.98 KHz (مطابق با شکل ۶) را نشان می دهد. همچنین نتایج شبیه سازی مدار در دو سطح ولتاژ ± 1.7 و ± 0.97 در شکل ۶، جهت بررسی میزان تأثیر سطح ولتاژ تغذیه بر روی CMRR آمده است. بهره تفاضلی (با دقت 1.0×10^{-11}) در حالت بدون تقویت) دارای پهنای باند 9.08 MHz می باشد (مطابق شکل ۷).

همان طور که نتایج نشان می دهند (شکل ۷) تغییرات مقاومت بار تأثیری بر روی پهنای باند تفاضلی مدار طراحی شده ندارد که این ویژگی به دلیل طراحی حالت جریانی مدار است. توان مصرفی مدار 348 uW و ولتاژ آفست خروجی 2.23 uV می باشد. از امتیازات استثنایی این طراحی سازگاری افزایش پهنای باند با کاهش توان مصرفی علی رغم شهرت و شهود این دو مشخصه به تضاد در عمده طراحی های گزارش شده تاکنون می باشد. نتایج شبیه سازی یک تقویت کننده ابزار دقیق مدار مجتمع زمانی نزدیک به واقعیت است که در کنار شبیه سازی خالص، شبیه سازی مونت کارلو نیز (برای در نظر گرفتن خطاهای ساخت) انجام گیرد. در شکل ۸ و ۹ نتایج شبیه سازی مونت کارلو اعمال شده برای CMRR و پهنای



شکل ۴: مدل سیگنال کوچک مدار FDCCII پیشنهاد شده.

(M۹-M۱۲ در x_r) و با اتصال پسخور منفی این دو حلقه به طبقه ورودی، مقاومت در پایه های x کاهش می یابد. با توجه به شکل ۴ که مدل سیگنال کوچک مدار FDCCII می باشد، با فرض برابری هدایت انتقالی ترانزیستورهای M۱-M۴ ($g_{m1} = g_{m2} = g_{m3} = g_{m4}$) و با فرض تطبیق ۲ حلقه تراخشی، $g_{m5} = g_{m6}$ ، $g_{m7} = g_{m8}$ ، $g_{m9} = g_{m10}$ و $g_{m11} = g_{m12}$ و با توجه به تقارن مدار، CMRR ولتاژی از ورودی تفاضلی Y تا خروجی کل به صورت (۲) خواهد بود (برای اطلاعات بیشتر به پیوست مراجعه شود)

$$V_{CMRR} = \frac{A_1 \left(\frac{1-\beta'}{r_x} + \frac{1-\beta_r'}{2r_x} \right) - A_r \left(\frac{1-\beta'}{R_x} - \frac{1-\beta_r'}{2r_x} \right)}{A_1 \left(\frac{\Delta\beta}{R_x} + \frac{1-\beta_r'}{r_x} \right) - A_r \left(\frac{-\Delta\beta}{R_x} + \frac{1-\beta_r'}{r_x} \right)} \quad (2)$$

$$A_{r(r)} = (1 - \delta_{c(r)}) (1 - \theta_{(r)})$$

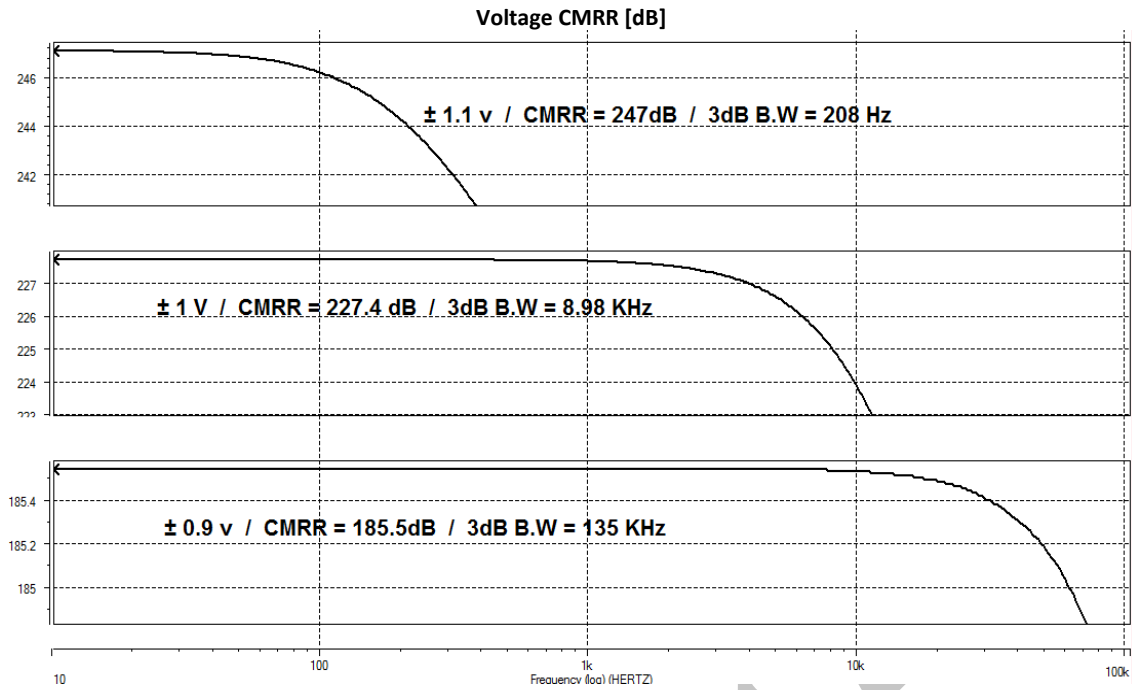
$$\Delta\beta = \beta_r - \beta, \quad \beta' = \frac{\beta_r - \beta}{2}$$

در این رابطه β و β' به ترتیب خطای انتقال ولتاژ از Y به X برای سیگنال های تفاضلی و حالت مشترک، δ_c خطای انتقال جریان از X به Z ، θ خطای انتقال جریان مدار تفریق کننده جریان و R_x مقاومت خارجی متصل بین پایه های x است. مقاومت r_x نیز که مقاومت داخلی هر یک از پایه های X است، طبق (۳) به دست می آید (برای اطلاعات بیشتر به پیوست مراجعه شود)

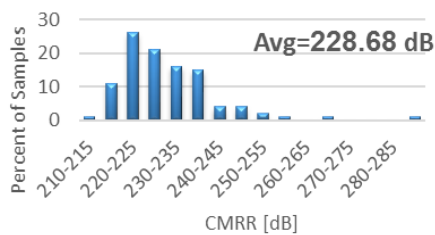
$$r_x = \frac{1}{(1 + g_m R_{out1})(g_{m5} + g_{m7})} \quad (3)$$

با توجه به (۳) می توان با افزایش g_m و یا g_{m5}, g_{m7} مقاومت داخلی پایه های x را تا چند میلی اهم کاهش داد. اما به دلیل آن که افزایش ضرایب یاد شده در راستای افزایش توان مصرفی می باشد، لذا تغذیه مدار و ضرایب مزبور به گونه ای انتخاب می شوند که توازن مناسبی بین توان مصرفی و مقاومت r_x برقرار شده و هم زمان این دو مشخصه بهینه شوند. عملکرد حالت مشترک در طبقه ورودی با هدف انتقال سیگنال های حالت مشترک در ورودی تفاضلی Y به پایانه های تفاضلی x با بهره صفر است که با توجه به تقارن کامل مدار بهره انتقال ولتاژ حالت مشترک بسیار پایین می باشد.

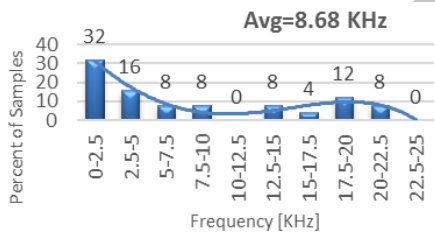
اما طبقه خروجی کلاس AB در مدار شکل ۳، در واقع دنبال کنندگی جریان از پایانه X به پایانه Z را پیاده سازی می کند که این طبقه شامل ترانزیستورهای M۲۳-M۲۸ است. استفاده از آینه جریان های ستونی نوسان بلند، علاوه بر افزایش مقاومت پایانه های خروجی Z و دقت انتقال جریان از پایانه تفاضلی X به پایانه تفاضلی Z ، سبب کاهش سطح ولتاژ تغذیه و به دنبال آن توان مصرفی مدار می شود.



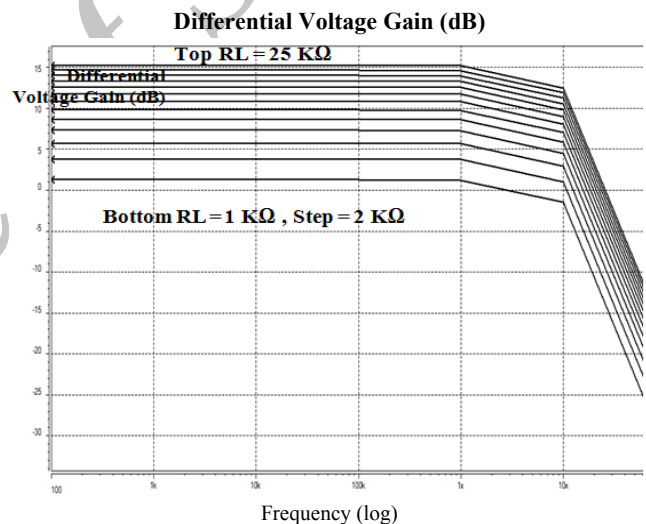
شکل ۶: منحنی CMRR مدار CMIA طراحی شده.



شکل ۸: نتایج شبیه‌سازی مونت کارلو برای اندازه CMRR.



شکل ۹: نتایج شبیه‌سازی مونت کارلو برای پهنای باند CMRR.



شکل ۷: بهره ولتاژ تفاضلی، $R_X = 2\text{ k}\Omega$ و $R_L = 1\text{ k}\Omega - 25\text{ k}\Omega$ (step = $2\text{ k}\Omega$)

۴- نتیجه‌گیری

در این مقاله یک CMIA بر مبنای FDCCII طراحی شده که ساختار ارائه شده نیاز به بلوک‌های همجور ندارد. در CMIA پیشنهادی، CMRR که مهم‌ترین پارامتر تقویت‌کننده ابزار دقیق است تا حد بسیار زیادی از نظر هر دو مقدار دامنه و پهنای باند بهبود پیدا کرده است. نتایج شبیه‌سازی مزیت‌های مدار طراحی شده را نشان می‌دهد. افزایش فرکانس عملکردی علی‌رغم کاهش توان مصرفی، سازگاری این دو مشخصه معروف در ناسازگاری را به عنوان یک دستاورد استثنایی مدار پیشنهادی اثبات می‌کند.

پیوست

با توجه به تقارن مدار شکل ۳ داریم

باند آن (برای ۱۰۰ نمونه) تقویت‌کننده ابزار دقیق طراحی شده به ترتیب نشان داده شده است. این شبیه‌سازی‌ها با اعمال ۲٪ تغییرات به ولتاژ آستانه، ضخامت خازن اکسید، W و L کل ترانزیستورهای مدار CMIA انجام گرفته است. نتایج شکل‌های ۸ و ۹ نشان می‌دهند که به عنوان یک امتیاز منحصر به فرد مقدار میانگین اندازه CMRR از مقدار بدون مونت‌کارولی آن بیشتر شده است ولی به دلیل کمتر بودن میانگین پهنای باند از مقدار بدون مونت‌کارلو، حاصل ضرب بهره در پهنای باند برای نتایج مونت‌کارلو کمتر از مقدار بدون مونت‌کارلو می‌باشد.

همچنین جدول ۱ ابعاد ترانزیستوری طراحی شده را برای CMIA پیشنهادی نشان می‌دهند. طراحی مدار در طول کانال‌های پایین علاوه بر کاهش سطح مصرفی مدار سبب افزایش سرعت و پهنای باند مدار می‌شود. همچنین جدول ۲ مشخصات مدار پیشنهادی را با چند کار دیگر مقایسه می‌کند.

جدول ۱: ابعاد ترانزیستوری طراحی شده برای CMIA پیشنهادی.

Transistors	W/L (um/um)	Transistors	W/L (um/um)
$M_1 - M_4$	۵ / ۰.۴۵	M_{10}, M_{11}	۵۹ / ۰.۴۵
M_5, M_6	۹۰ / ۰.۲۷	M_{12}	۲۰ / ۰.۴۵
M_7, M_8	۴۵ / ۰.۲۷	$M_{13} - M_{14}, M_{15} - M_{16}$	۲۵ / ۰.۴۵
M_9, M_{17}	۲۲ / ۰.۴۵	$M_{17} - M_{18}, M_{19} - M_{20}$	۷ / ۰.۴۵
M_{21}, M_{22}	۱۰ / ۰.۴۵	$M_{21} - M_{22}$	۱۷ / ۰.۴۵
M_{23}, M_{24}	۱۰ / ۳.۵	$M_{23}, M_{24}, M_{25}, M_{26}$	۳۰ / ۷.۵
M_{27}	۳ / ۴۵ / ۰.۴۵	$M_{27}, M_{28}, M_{29}, M_{30}$	۲۶.۵ / ۲
$M_{31}, M_{32}, M_{33}, M_{34}$	۲۱ / ۱ / ۴	-	-

جدول ۲: مقایسه عملکرد CMIA طراحی شده با چند کار دیگر.

CMIA	Proposed	[۲۱]	[۸]	[۷]	[۱۹]
Input signal	Voltage	Voltage	Voltage	Voltage	Voltage
Tech.	۰.۱۸ um CMOS	۰.۱۸ um CMOS	AD۸۴۴AN	۰.۱۸ um CMOS	۱۳۰ nm CMOS
Result type	Hspice	Hspice	Fabricated	Hspice	Cadence (Pre layout)
CMRR [dB]	۲۲۷.۴	۲۱۶	۹۵	۱۱۰	۶۴.۷
CMRR Band-width	۸.۹۸ KHz	۳۰۰ Hz	۲ KHz	N.A*	۱۰۰ KHz
Gain Band-width	۹.۰۸ MHz	۱۸.۱ MHz	۵۹۱.۶۶ KHz	۲ MHz	< ۳۸۱ MHz
Power	۳۴۸ μW	۳۸۳.۴ μW	۵۴۰ mw	N.A*	۱۴ μW
Supply voltages [V]	±۱	±۱.۲	±۱.۰	۱.۸	۰.۴
Need for matched blocks	No	No	Yes	Yes	No

* Not Available

لذا با اتصال یک منبع تست به پایه های X داریم

$$r_x = \frac{V_T}{I_T} = \frac{1}{(1 + A_V)(g_{mV} + g_{m\Delta})} \quad (۱۰-پ)$$

$$g_{m1} = g_{m2} = g_{m3} = g_{m4}$$

$$g_{m5} = g_{m11}, g_{m6} = g_{m12}, g_{m7} = g_{m9}, g_{m8} = g_{m10}$$

روابط (پ-۱) تا (پ-۵) رابطه CMRR ولتاژی که قبلاً در (۲) نشان داده شد را اثبات می کنند

$$V_{x+(-)cm} = (1 - \beta_{v(\tau)})V_{y+(-)cm} \quad (۱-پ)$$

$$V_{x+(-)diff} = (1 - \beta'_{v(\tau)})V_{y+(-)diff}$$

$$I_{x+(-)cm} = (-)I_{x+(-)diff} = \frac{V_{x+(-)cm} - V_{x-(-)cm}}{R_x} + \frac{V_{x+cm}(diff)}{r_x} \quad (۲-پ)$$

$$I_{z+(-)cm(diff)} = (1 - \delta_{c(\tau)})I_{x+(-)cm(diff)} \quad (۳-پ)$$

$$I_{out_{cm}(diff)} = (1 - \theta_v)I_{z+cm(diff)} (1 - \theta_v)I_{z-cm(diff)} \quad (۴-پ)$$

$$V_{out_{cm}(diff)} = R_L I_{out_{cm}(diff)} \quad (۵-پ)$$

$$V_{CMRR} = \frac{V_{out_{cm}}}{V_{Y_{cm}}} \times \frac{V_{Y_{diff}}}{V_{out_{diff}}}$$

$$V_{Y_{cm}} = \frac{V_{Y+cm} + V_{Y-cm}}{2}, V_{Y_{diff}} = V_{Y+diff} - V_{Y-diff}$$

برای محاسبه مقاومت داخلی پایه های x با توجه به شکل ۴ داریم

$$V_{B(A)} = \frac{1}{\gamma} A_{V(\tau)} (V_{Y+(-)} - V_{X+(-)}) \quad (۶-پ)$$

$$A_{V(\tau)} = g_{m(\tau)} R_{out(\tau)} \quad (۷-پ)$$

$$V_{gs1} = V_{d1\delta} - V_{x-} \quad (۸-پ)$$

$$V_{gs\Delta} = V_{d1\tau} - V_{x+} \quad (۹-پ)$$

مراجع

- [1] A. J. Annema, B. Nauta, R. V. Langevelde, and H. Tuinhout, "Analogue circuits in ultra-deep-submicron CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 132-143, Jan. 2005.
- [2] S. J. Azhari, *Low Voltage Low Power Integrated Circuits, Analog and Digital*, Lecture Note Iran University of Science and Technology, 2015-2016.
- [3] C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC Design: The Current-Mode Approach*, London, U. K., IEE Press, 1990.
- [4] S. J. Azhari, *Current-Mode Integrated Circuits, Design and Application*, Lecture Note Iran University of Science and Technology, 2015.
- [5] G. Ferri and N. C. Guirriani, *Low-Voltage, Low-Power CMOS Current Conveyors*, ch.4, Kluwer, 2003.
- [6] S. Archana, B. K. Madhavi, and I. V. Murali Krishna, "Design of CMOS current mode and voltage mode winner take all circuit on 180 nm technology," in *Proc. IEEE Int. Conf. on Electrical, Electronics, and Optimization Techniques, ICEEOT'16*, pp. 1879-1882, Chennai, India, 3-5 Mar. 2016.
- [7] H. Broomandnia and S. J. Azhari, "Design of a fully differential current buffer (FDCB) based on a new common mode feedforward (CMFF) based common mode separation technique," in *Proc. IEEE 2nd Int. Conf. on Knowledge-Based Engineering and Innovation, KBEI'15*, pp. 373-379, Tehran, Iran, 5-6 Nov. 2015.
- [8] E. L. Douglas, D. F. Lovely, and D. M. Luke, "A low-voltage current-mode instrumentation amplifier designed in a 0.18-micron CMOS technology," in *Proc. Canadian Conf. on Electrical and Computer Engineering*, vol. 3, pp. 1777-1780, Niagara Falls, ON, Canada, 2-5 May 2004.
- [9] S. J. Azhari and H. Fazlalipoor, "CMRR in voltage-op-amp-based current-mode instrumentation amplifiers (CMIA)," *IEEE Trans. on Instrumentation and Measurement*, vol. 58, no. 3, pp. 563-569, Mar. 2009.
- [10] A. Voulkidou, S. Siskos, and T. Laopoulos, "A low noise low offset current mode instrumentation amplifier," in *Proc. 19th Int. Conf.*

- [20] M. Han, *et al.*, "Bulk switching instrumentation amplifier for a high-impedance source in neural signal recording," *IEEE Trans. on Circuits and Systems II: Express Briefs*, vol. 62, no. 2, pp. 194-198, Feb. 2015.
- [21] S. Ahmadi and S. J. Azhari, "A novel fully differential second generation current conveyor and its application as a very high CMRR instrumentation amplifier," *Emerging Science J.*, vol. 2, no. 2, pp. 85-92, Apr. 2018.
- [22] I. Gkotsis, G. Souliotis, and I. Haritantis, "Instrumentation amplifier based analogue interface," in *Proc. IEEE Int. Conf. on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology*, pp. 317-320, Lisboa, Portugal, 7-10 Sept. 1998.
- [23] S. Suwansawang and T. Thongleam, "A 1-V bulk-driven CMOS fully differential second-generation current conveyor," in *Proc. IEEE Int. Symp. on Intelligent Signal Processing and Communications Systems, ISPACS'13*, pp. 662-665, Naha, Japan, 12-15 Nov. 2013.
- سوما احمدی** در سال ۱۳۹۳ مدرک کارشناسی مهندسی برق خود را از دانشگاه کردستان و در سال ۱۳۹۶ مدرک کارشناسی ارشد مهندسی برق خود را از دانشگاه علم و صنعت ایران دریافت نمود. زمینه‌های علمی مورد علاقه نامبرده متنوع بوده و شامل موضوعاتی مانند طراحی مدارات حالت جریان، مدارها و سنسورهای بیوالکترونیک، و مدارات فرکانس بالا می‌باشد.
- سیدجواد ازهری** تحصیلات خود را در مقطع کارشناسی مهندسی برق- الکترونیک در سال ۱۳۵۴ از دانشگاه علم و صنعت ایران، در مقطع کارشناسی ارشد مهندسی برق- الکترونیک در سال‌های ۱۳۶۵ از دانشگاه ویکتوریا منچستر انگلستان و در مقطع دکتری مهندسی برق- الکترونیک در سال‌های ۱۳۶۹ از دانشگاه UMIST منچستر انگلستان به پایان رسانده است و هم‌اکنون استاد دانشکده مهندسی برق دانشگاه علم و صنعت ایران می‌باشد. زمینه‌های تحقیقاتی مورد علاقه ایشان عبارتند از: طراحی مدارها و سیستم‌های الکترونیکی آنالوگ (حالت جریان)، آئینه‌های جریان، تقویت‌کننده جریان، ناقل‌های جریان، پردازشگرهای محاسباتی حالت جریان، فیلترهای حالت جریان، تقویت‌کننده‌های با فیدبک جریانی، OTA، تقویت‌کننده‌های مقاومت انتقالی، مبدل‌های داده (انواع ADC و DAC مخصوص از نوع جریانی)، تقویت‌کننده‌های ابزار دقیق جریانی و پل جریانی، و بافرهای جریانی.
- Mixed Design of Integrated Circuits and Systems*, pp. 203-207, 24-26 Warsaw, Poland, May 2012.
- [11] B. Babaei and S. Mirzakuchaki, "High CMRR, low power and wideband current-mode instrumentation amplifier," in *Proc. IEEE Int. Norchip Conf.*, pp. 3-4, Linkoping, Sweden, 20-21 Nov. 2006.
- [12] S. J. Azhari and H. Fazlalipoor, "A novel current mode instrumentation amplifier (CMIA) topology," *IEEE Trans. on Instrumentation and Measurement*, vol. 49, no. 6, pp. 1272-1277, Dec. 2000.
- [13] A. A. Silverio, R. S. J. Reyes, and W. Y. Chung, "A low power high CMRR CMOS instrumentation amplifier based on differential voltage-current conveyor for beta-dispersion range bio-impedance applications," *Recent Researches in Circuits, Systems, Multimedia and Automatic Control*, pp. 31-36, Rovaniemi, Finland, 18-20 Apr. 2012.
- [14] A. Panchal, P. K. Jain, and D. S. Ajnar, "Instrumentation amplifier using differential voltage second generation current conveyor (DVCCII) in standard 0.18 μm CMOS technology," *International J. of Engineering Science and Technology*, vol. 3, no. 8, pp. 6525-6531, Aug. 2011.
- [15] L. Safari and S. Minaei, "A novel resistor-free electronically adjustable current-mode instrumentation amplifier," *Circuits, Systems, and Signal Processing*, vol. 32, no. 3, pp. 1025-1038, Jun. 2013.
- [16] L. Safari and S. Minaei, "New ECCII-based electronically controllable current-mode instrumentation amplifier with high frequency performance," in *Proc. European Conf. on Circuit Theory and Design, ECCTD'17*, 4 pp., Catania, Italy, 4-6 Sept. 2017.
- [17] D. M. Das, *et al.*, "Design considerations for high-cmrr low-power current mode instrumentation amplifier for biomedical data acquisition systems," in *Proc. 21st IEEE Int. Conf. on Electronics, Circuits and Systems, ICECS'14*, pp. 251-254, Marseille, France, 7-10 Dec. 2014.
- [18] Z. M'Harzi, M. Alami, and F. Temcamani, "A novel high bandwidth current mode instrumentation amplifier," in *Proc. 27th Int. Conf. on Microelectronics, ICM'15*, pp. 299-302, Casablanca, Morocco, 20-23 Dec. 2015.
- [19] M. A. Eldeeb, *et al.*, "A 0.4-V miniature CMOS current mode instrumentation amplifier," *IEEE Trans. on Circuits and Systems II: Express Briefs*, vol. 65, no. 3, pp. 261-265, Mar. 2018.

SID



سرویس های ویژه



سرویس ترجمه تخصصی



کارگاه های آموزشی



بلاگ مرکز اطلاعات علمی



سامانه ویراستاری STES



فیلم های آموزشی

کارگاه های آموزشی مرکز اطلاعات علمی



مقاله نویسی علوم انسانی



اصول تنظیم قراردادها



آموزش مهارت های کاربردی در تدوین و چاپ مقاله